

明 細 書

固体撮像装置およびその製造方法

技術分野

- [0001] 本発明は、固体撮像装置とその製造方法に関し、特に、半導体基板上に複数の画素を有する撮像領域が設けられた固体撮像装置とその製造方法に関する。

背景技術

- [0002] MOS型の固体撮像装置は、各画素に供給される信号を、MOSTランジスタを含む増幅回路によって増幅して読み出すイメージセンサである。固体撮像装置のうちCMOSプロセスで製造されるいわゆるCMOSイメージセンサは、低電圧、低消費電力であり、周辺回路とワン・チップ化ができるという長所を有している。そのため、近年では、CMOSイメージセンサがPC用小型カメラなどの携帯機器の画像入力素子として注目されている。
- [0003] 図10は、固体撮像装置の構成の一例を示す回路図である。この固体撮像装置は、複数の画素106がマトリックス状に配列された撮像領域107と、画素を選択するための垂直シフトレジスタ108および水平シフトレジスタ109と、垂直シフトレジスタ108および水平シフトレジスタ109に必要なパルスを供給するタイミング発生回路110とを同一の基板上に備えている。
- [0004] 撮像領域107内に配置する各画素106では、フォトダイオードからなる光電変換部101と、ソースが光電変換部101に接続され、ドレインが増幅用トランジスタ104のゲートに接続され、ゲートが垂直シフトレジスタ108からの出力パルス線111に接続された転送用トランジスタ102と、ソースが転送用トランジスタ102のドレインに接続され、ゲートが垂直シフトレジスタ108からの出力パルス線112に接続され、ドレインが電源113に接続されるリセット用トランジスタ103と、ドレインが電源113に接続され、ゲートが転送用トランジスタ102のドレインおよびリセット用トランジスタ103のソースに接続される増幅用トランジスタ104と、ドレインが増幅用トランジスタ104のソースに接続され、ゲートが垂直シフトレジスタ108からの出力パルス線114に接続され、ソースが信号線115に接続される選択用トランジスタ105とが設けられている。

- [0005] 撮像領域107において、素子分離用領域にLOCOSやSTI(Shallow Trench Isolation)を形成した場合には、窒化膜等の膜ストレスや長時間にわたる高温の熱処理工程によって欠陥が発生しやすい。この欠陥は暗電流や白キズの発生原因となる。さらに、LOCOSを形成した場合には、パースピーク幅が長くなるため撮像領域107の微細化が困難となる。また、STIを形成した場合には、埋め込み酸化膜による応力が発生してしまう。
- [0006] このような問題を解決する方法として、特許文献1に記載された従来技術がある。この従来技術について、図11(a)～(f)を参照しながら説明する。図11(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。
- [0007] まず、図11(a)に示す工程で、半導体基板51の上部を熱酸化することにより、厚さ $0.1\mu\text{m}$ のゲート絶縁膜52を形成する。次に、ゲート絶縁膜52の上からイオン注入を行うことにより、半導体基板51の上部に、素子分離領域53、光電変換部54およびドレイン領域55を形成する。ここで、光電変換部54およびドレイン領域55としてn型の不純物をイオン注入する場合には、素子分離領域53としてp型の不純物をイオン注入する。
- [0008] 次に、図11(b)に示す工程で、ゲート絶縁膜52の上に厚さ約 $0.3\mu\text{m}$ のCVD酸化膜56を堆積する。
- [0009] 次に、図11(c)に示す工程で、CVD酸化膜56の上に、ゲート電極を形成する領域に開口を有するレジスト(図示せず)を形成する。そのレジストをマスクとしてRIE(Reactive Ion Etching)法によりエッチングを行うことにより、CVD酸化膜56を貫通する溝57を形成する。
- [0010] 次に、図11(d)に示す工程で、溝57(図11(c)に示す)を埋めるポリシリコン膜58を形成する。
- [0011] 次に、図11(e)に示す工程で、ポリシリコン膜58の上に、溝57よりも大きな内径を有する溝を有するレジスト(図示せず)を形成する。そして、そのレジストをマスクとしてポリシリコン膜58(図11(d)に示す)に対してRIEを行うことにより、ゲート電極を含む配線パターン58aを形成する。
- [0012] 次に、図11(f)に示す工程で、ゲート絶縁膜52および配線パターン58aの上にSi

O₂等の層間絶縁膜59を堆積する。そして、RIE法により層間絶縁膜59を貫通してドレイン領域55に到達する溝を形成し、溝を導体で埋めることにより、信号線60を形成する。

特許文献1:特開10-373818号公報

特許文献2:特開2000-196057号公報

発明の開示

発明が解決しようとする課題

- [0013] しかしながら、上述した従来の固体撮像装置の製造方法では、以下のような不具合が生じていた。
- [0014] 上述したようにイオン注入により素子分離領域53の注入層を形成した場合には、素子分離用領域としての分離能力を十分に確保するためにチャンネルストップ注入層の幅を広くする必要がある。しかしながら、素子分離領域53の幅を広くするのは、固体撮像装置の微細化の要請に反する。
- [0015] 一方、チャンネルストップ注入層の幅を狭くして不純物の注入量を多くすることにより分離能力を確保すると、光電変換部54と素子分離領域53とのPN接合のリークが増加してしまう。これは、暗電流及び白キズの増加につながってしまう。
- [0016] 本発明の目的は、素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法を提供することにある。

課題を解決するための手段

- [0017] 本発明の第1の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、半導体基板の上に、上記半導体基板のうち上記素子分離用領域と上記素子分離用領域の側方に位置する領域とを露出する開口を有する保護膜を形成する工程(a)と、上記保護膜における上記開口の側面上に、サイドウォールを形成する工程(b)と、上記保護膜および上記サイドウォールをマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域にトレンチを形

成する工程(c)と、上記トレンチを埋め込み用膜で埋めることにより、素子分離を形成する工程(d)とを備える。

- [0018] これにより、工程(c)において、トレンチを、サイドウォールをマスクとしたエッチングによって形成しているため、保護膜における開口の幅よりも、サイドウォールの厚さの分だけ、トレンチの幅を狭くすることができる。したがって、保護膜の開口を、現時点でパターニングにより形成できる最小の開口幅で形成した場合でも、それよりも狭いトレンチを形成することができる。
- [0019] トレンチの幅を狭くしても、トレンチ内を埋める埋め込み用膜の素子分離能力は高いので、素子分離能力を確保することはできる。そして、トレンチの幅を狭くすることにより、その分だけ素子形成用領域と素子分離との間の距離を長くすることができる。したがって、トレンチを埋め込み用膜で埋めた後にトレンチ付近で熱応力が発生しても、素子形成用領域の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。
- [0020] 上記半導体基板のうち上記素子形成用領域には、n型不純物が含まれており、上記工程(c)の後で上記工程(d)の前に、上記半導体基板のうち上記トレンチの表面部に位置する部分にp型のイオンを注入する工程をさらに備えていてもよい。この場合には、暗電流が、トレンチの形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうちトレンチの表面付近に位置する領域にp型の不純物をドーピングすることにより、トレンチの表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。
- [0021] 上記工程(c)の後で上記工程(d)の前に、上記半導体基板のうち上記トレンチの表面部に位置する領域を酸化する工程をさらに備えていてもよい。
- [0022] 上記工程(a)では、上記保護膜として、第1の絶縁膜と、上記第1の絶縁膜の上に設けられ、耐酸化性の性質を有する第2の絶縁膜とを形成することができる。
- [0023] 上記工程(d)では、上記埋め込み用膜を、CVD法により堆積することができる。
- [0024] 上記工程(d)では、上記埋め込み用膜を、上記保護膜の上記開口を埋めるように形成した後に、上記保護膜を上記埋め込み用膜よりも深く除去することにより、上記

素子分離を、上記半導体基板の上面よりも高く形成してもよい。この場合には、埋め込み用膜の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、半導体基板および埋め込み用膜の上を導体膜で覆った後に、この導体膜をパターニングすることにより形成する。もし埋め込み用膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、埋め込み用膜を高く形成すると、このおそれを回避することができる。

[0025] 上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離は、上記撮像領域における上記素子分離と同じ工程で形成されてもよい。この場合には、工程を簡略化することができる。

[0026] 上記周辺回路には、N型MOSトランジスタのみを形成するか、P型MOSトランジスタのみを形成するか、またはCMOSトランジスタを形成することができる。

[0027] 本発明の第2の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分の少なくとも一部を露出する開口を有する保護膜を形成する工程(a)と、上記工程(a)の後に、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分のうちの少なくとも一部を除去してパターニングする工程(b)と、上記工程(b)の後に、上記半導体基板のうち上記パターニングをした上記素子分離領域の表面に位置する部分を酸化することにより素子分離用の酸化膜を形成する工程(c)と、上記工程(c)の後に、上記保護膜のうちの少なくとも一部を除去する工程(d)とを備える。

[0028] このように、凹部を形成した後に酸化を行うことにより、バースビーグの発生を抑制することができるため、素子の微細化を図ることができる。また、凹部の表面を酸化す

ることにより素子分離用の酸化膜を形成するので、この酸化膜が形成されるのは、素子形成領域から離れた領域となる。したがって、素子形成領域に近い領域では応力が低減され、窒化膜等の膜ストレスや熱処理に起因する欠陥が発生しにくくなる。よって、十分な素子分離能力を有し、欠陥が原因の暗電流や白キズが少ない固体撮像装置を得ることができる。

- [0029] 上記工程(a)では、上記保護膜として、パッド絶縁膜と、上記パッド絶縁膜の上方に位置する耐酸化性膜とを形成してもよい。
- [0030] 上記工程(a)では、上記パッド絶縁膜と上記耐酸化性膜との間に、酸化性膜を介在させてもよく、この場合には、酸化性膜の厚みを調整することにより、半導体基板の角部を効率良く丸めることができる。
- [0031] 上記工程(c)の後に、上記素子分離用の酸化膜のうちの一部をエッチングにより除去することにより、微細パターンを形成することが可能となる。
- [0032] 上記工程(c)では、上記半導体基板の表面にバースビーグが形成されうる。この場合には、上記工程(c)の後に、上記バースビーグの一部を除去すれば、バースビーグの幅を狭くすることができ、活性領域の面積を大きくすることができる。
- [0033] 上記半導体基板のうち上記素子形成用領域に位置する部分は、n型不純物が含まれており、上記工程(b)の後で上記工程(c)の前に、上記半導体基板のうち上記上記パターンニングをした上記素子分離領域の表面に位置する部分にp型のイオンを注入する工程をさらに備えていてもよい。この場合には、暗電流が、凹部の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうち凹部の表面付近に位置する領域にp型の不純物をドーピングすることにより、凹部の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。
- [0034] 上記工程(a)では、上記開口の幅を、上記素子分離領域の幅よりも狭く形成することにより、工程(c)において、水平方向および鉛直方向に素子分離用の酸化膜が広がっても、この酸化膜が、必要な素子分離能力を得るのに必要な体積以上に大きく形成されることがない。
- [0035] 上記工程(d)では、上記保護膜を、上記素子分離用の酸化膜の上面よりも深く除

去することにより、上記素子分離領域の高さを上記半導体基板の上面よりも高くすることが好ましい。この場合には、素子分離用の酸化膜の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、半導体基板および素子分離用の酸化膜の上を導体膜で覆った後に、この導体膜をパターンニングすることにより形成する。もし素子分離用の酸化膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち酸化膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、埋め込み用膜を高く形成すると、このおそれを回避することができる。

[0036] 上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離領域は、上記撮像領域における上記素子分離領域と同じ工程で形成されてもよい。この場合には、工程を簡略化することができる。

[0037] 上記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成することができる。この場合には、注入工程数を少なくすることができるので、工程を簡略化することができる。

[0038] 本発明の第3の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去して溝を形成する工程(b)と、上記工程(b)の後に、上記保護膜を除去する工程(c)と、上記工程(b)の後に、水素を含む雰囲気中で1000度以上1300度以下の温度で熱処理を行う工程(d)とを備える。

[0039] これにより、工程(d)では、溝の下部に空洞を残した状態で、半導体基板を構成する半導体材料によって溝の上部が覆われる。素子分離用領域内に空洞が残ることにより、たとえ高温の熱処理等を行っても、応力の発生を抑制することができる。

。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。

- [0040] 上記工程(d)の後に、上記半導体膜に、上記素子形成領域とは異なる導電型の不純物を注入する工程(e)をさらに備えていてもよい。この場合には、半導体膜によって複数の素子形成用領域が互いに電氣的に分離されるため、十分な素子分離耐圧を確保することができる。
- [0041] あるいは、上記工程(d)の後に、上記半導体膜を酸化する工程(f)をさらに備えていてもよい。この場合には、半導体膜が絶縁膜となるため、複数の素子形成用領域が互いに電氣的に分離されるため、十分な素子分離耐圧を確保することができる。
- [0042] 上記工程(b)の後で上記工程(d)の前に、上記半導体基板のうち上記溝の側面に位置する部分を熱酸化する工程(g)をさらに備えていてもよい。この場合には、溝を形成する際に発生するダメージを修復することができるため、界面準位が原因となって生じるリーク電流を削減することができる。
- [0043] あるいは、上記工程(b)の後で上記工程(d)の前に、上記溝の側面上に絶縁膜を形成する工程(h)をさらに備えていてもよい。この場合には、溝を形成する際に溝の側面上に生じたダメージを覆うことができるため、界面準位が原因となって生じるリーク電流を削減することができる。
- [0044] 上記半導体基板のうち上記素子形成用領域に位置する部分には、n型不純物が含まれており、上記工程(b)の後で上記工程(d)の前に、上記半導体基板のうち上記溝の表面に位置する部分にp型のイオンを注入する工程(i)をさらに備えていてもよい。この場合には、分離耐圧を向上させることができる。
- [0045] 上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離用領域は、上記撮像領域における上記素子分離用領域と同じ工程で形成されていてもよく、この場合には、工程の簡略化が可能となる。
- [0046] 上記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成してもよく、この場合には、注入工程数が少なくなることにより工程の簡略化が可能となる。

- [0047] 本発明の第4の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去して、深さが幅の2倍以上である溝を形成する工程(b)と、上記工程(b)の後に、CVD法により、上記溝を埋めるTEOS膜を形成する工程(c)とを備える。
- [0048] これにより、工程(c)では、TEOS膜内の一部に空洞が生じやすくなる。空洞が生じた場合には、TEOS膜が半導体基板に与える応力を低減することができる。応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、TEOS膜および空洞により、十分な素子分離耐圧を確保できる。
- [0049] 上記工程(b)の後で上記工程(c)の前に、上記半導体基板のうち上記溝の側面に位置する部分を熱酸化する工程(d)をさらに備えていてもよい。この場合には、溝を形成する際に発生するダメージを修復することができるため、界面準位が原因となって生じるリーク電流を削減することができる。
- [0050] あるいは、上記工程(b)の後で上記工程(c)の前に、上記溝の側面上に絶縁膜を形成する工程(e)をさらに備えていてもよい。この場合には、溝を形成する際に生じたダメージを有する溝の表面上を覆うことができるため、界面準位が原因となって生じるリーク電流を削減することができる。
- [0051] 上記半導体基板のうち上記素子形成用領域に位置する部分は、n型不純物が含まれており、上記工程(b)の後で上記工程(c)の前に、上記半導体基板のうち上記溝の表面に位置する部分にp型のイオンを注入する工程(f)をさらに備えていてもよい。この場合には、分離耐圧を向上させることができる。
- [0052] 上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離

用領域は、上記撮像領域における上記素子分離用領域と同じ工程で形成されてもよく、この場合には、工程の簡略化が可能である。

[0053] 上記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成してもよく、この場合には、注入工程数が少なくなることにより工程の簡略化が可能となる。

[0054] 本発明に係る第5の固体撮像装置の製造方法は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に素子分離溝を形成する工程において、素子分離溝の壁部をテーパ状に加工する。

[0055] 第5の固体撮像装置の製造方法によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝を形成するため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁部をテーパ状に加工するため、光電変換部又は活性領域となる半導体基板と素子分離領域との境界に発生する応力を低減できる。従って、光電変換部(例えばフォトダイオード等)又は活性領域(例えばランジスタのソース領域及びドレイン領域等)におけるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

[0056] 本発明に係る第6の固体撮像装置の製造方法は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に素子分離溝を形成する工程において、素子分離溝の壁面と半導体基板の表面との間の角度を 110° 以上で且つ 130° 以下にする。

[0057] 第6の固体撮像装置の製造方法によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝を形成するため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁面と半導体基板の表面との間の角度を 110° 以上で且つ 130° 以下にするため、光電変換部又は活性領域となる半導体基板の表面と素子分離領域の表面との境界に

発生するせん断応力を最小化することができる。従って、光電変換部(例えばフォトダイオード等)又は活性領域(例えばトランジスタのソース領域及びドレイン領域等)において、せん断応力に起因して発生する応力によるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

[0058] 第5又は第6の固体撮像装置の製造方法において、素子分離溝を形成する工程よりも前に、半導体基板上に第1の絶縁膜及び該第1の絶縁膜と異なる種類の第2の絶縁膜を順次堆積した後、第1の絶縁膜及び第2の絶縁膜をパターニングする工程を備え、素子分離溝を形成する工程は、パターニングされた第1の絶縁膜及び第2の絶縁膜をマスクとして半導体基板に対してエッチングを行なう工程を含んでいてもよい。この場合、半導体基板に対してエッチングを行なう工程において、酸素ガスの流量を塩素ガスの流量の5%以下に設定することが好ましい。このようにすると、素子分離溝の壁部を確実にテーパ状に加工することができる。

[0059] 第5又は第6の固体撮像装置の製造方法において、光電変換部の導電型がn型である場合、素子分離溝を形成する工程よりも後に、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にp型半導体層を形成する工程を備え、光電変換部の導電型がp型である場合、素子分離溝を形成する工程よりも後に、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にn型半導体層を形成する工程を備えていることが好ましい。

[0060] このようにすると、シリコン基板における素子分離領域と接する箇所に生じる界面準位に起因する暗電流を減少させることができる。

[0061] 第5又は第6の固体撮像装置の製造方法において、固体撮像装置は、撮像領域を動作させるための駆動回路を含む周辺回路領域を半導体基板上に備え、周辺回路領域及び撮像領域において同時に素子分離構造を設けることが好ましい。

[0062] このようにすると、製造工程の短縮が可能になる。

[0063] 第5又は第6の固体撮像装置の製造方法において、固体撮像装置は、撮像領域を動作させるための駆動回路を含む周辺回路領域を半導体基板上に備え、周辺回路領域及び撮像領域において異なる素子分離構造を設けることが好ましい。

[0064] このようにすると、周辺回路領域に設けられる素子分離領域を、撮像領域に設けら

れる素子分離領域よりも小さくできるので、周辺回路領域の面積を削減することができる。

[0065] 第5又は第6の固体撮像装置の製造方法において、周辺回路領域に設けられるトランジスタとしてn型MOSTランジスタのみ又はp型MOSTランジスタのみを用いることが好ましい。

[0066] このようにすると、固体撮像装置の製造に必要な不純物注入工程を削減できるので、工程短縮が可能になる。

[0067] 第5又は第6の固体撮像装置の製造方法において、周辺回路領域に設けられるトランジスタとしてCMOSTランジスタを用いることが好ましい。

[0068] このようにすると、高速電荷読み出しが可能な固体撮像装置を実現できる。

[0069] 本発明に係るカメラの製造方法は、本発明に係る第5又は第6の固体撮像装置の製造方法を用いたカメラの製造方法であるので、高解像度の撮像が可能なカメラを実現することができる。

[0070] 本発明の第1の固体撮像装置は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置であって、上記素子分離用領域には、上記半導体基板の一部に設けられたトレンチと、上記トレンチを埋める埋め込み用膜とが設けられ、上記トレンチは、上記半導体基板のうち上記素子形成用領域の上を覆い上記半導体基板のうち上記素子分離用領域の上を露出する開口を有する保護膜と、上記保護膜における上記開口の側面上に設けられたサイドウォールとをマスクとして、上記半導体基板の一部を除去することにより形成されたものである。

[0071] この固体撮像装置においては、サイドウォールをマスクとして半導体基板の一部を除去することによりトレンチが形成されているため、保護膜における開口の幅よりも、サイドウォールの厚さの分だけ、トレンチの幅が狭くなっている。したがって、保護膜の開口が、現時点でパターニングにより形成できる最小の開口幅で形成した場合でも、トレンチの幅はそれより狭くなる。

[0072] トレンチの幅が狭くても、トレンチ内を埋める埋め込み用膜の素子分離能力は高い

ので、素子分離能力を確保することはできる。そして、トレンチの幅が狭くなっていることにより、その分だけ素子形成用領域と素子分離との間の距離を長くなっている。したがって、トレンチ付近で熱応力が発生しても、素子形成用領域の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。

[0073] 上記半導体基板における上記素子形成用領域には、n型の不純物が含まれており、上記半導体基板の上記素子分離用領域において、上記トレンチの表面部に位置する部分には、p型の不純物が含まれていてもよい。この場合には、暗電流が、トレンチの形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうちトレンチの表面付近に位置する領域にp型の不純物が含まれることにより、トレンチの表面付近と素子の活性領域との間にエネルギー的な障壁が形成され、キャリアの移動が抑制される。

[0074] 上記トレンチの表面上にはシリコン酸化膜が設けられていてもよい。

[0075] 上記埋め込み用膜の高さは、上記半導体基板の上面の高さよりも高くてもよい。この場合には、埋め込み用膜の上にゲート配線等の配線が設けられている場合であっても、互いに絶縁すべき配線同士が短絡しにくい。以下にその理由について説明する。配線は、半導体基板および埋め込み用膜の上を導体膜で覆った後に、この導体膜をパターンニングすることにより形成する。もし埋め込み用膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、埋め込み用膜を高く形成すると、このおそれを回避することができる。

[0076] 本発明の第2の固体撮像装置は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成領域と、上記複数の素子形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、上記半導体基板のうち上記素子分離領域に位置する部分はパターンニングされ、上記半導体基板のうち上記パターンニングした上記素子分離領域の表面に露出する部分を酸化することにより得られ、上記パターンニングした上記素子分離領域を埋める素

子分離用の酸化膜を備える。

- [0077] このように、凹部を形成した後に酸化を行うことにより、バースビーグの発生を抑制することができるため、素子の微細化を図ることができる。また、凹部の表面を酸化することにより素子分離用の酸化膜を形成するので、この酸化膜が形成されるのは、素子形成領域から離れた領域となる。したがって、素子形成領域に近い領域では応力が低減され、窒化膜等の膜ストレスや熱処理に起因する欠陥が発生しにくくなる。よって、欠陥が原因となって、暗電流や白キズが発生するのを防止することができる。よって、十分な素子分離能力を確保することができる。
- [0078] 上記半導体基板における上記素子形成用領域には、n型の不純物が含まれており、上記半導体基板の上記素子分離用領域において、上記半導体基板のうち上記凹部の表面部に位置する部分には、p型の不純物が含まれていてもよい。この場合には、暗電流が、凹部の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうち凹部の表面付近に位置する領域にp型の不純物が含まれることにより、凹部の表面付近と素子の活性領域との間にエネルギー的な障壁が形成され、キャリアの移動が抑制される。
- [0079] 上記素子分離用の酸化膜の高さは、上記半導体基板の上面の高さよりも高いことが好ましい。この場合には、素子分離用の酸化膜の上にゲート配線等の配線が設けられている場合であっても、互いに絶縁すべき配線同士が短絡しにくい。以下にその理由について説明する。配線は、半導体基板および素子分離用の酸化膜の上を導体膜で覆った後に、この導体膜をパターニングすることにより形成する。もし素子分離用の酸化膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち素子分離用の酸化膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、素子分離用の酸化膜を高く形成すると、このおそれを回避することができる。
- [0080] なお、上述のような固体撮像装置をカメラとして用いると、高解像度の撮像が可能となる。
- [0081] 本発明の第3の固体撮像装置は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成領域と、上記複数の素子

形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、上記素子分離用領域には、上記半導体基板の上部に位置する溝と、上記溝の少なくとも上部を覆い、上記複数の素子形成用領域の間を電氣的に絶縁する素子分離用膜と、上記溝内の一部に設けられた空洞とが設けられている。

[0082] このように空洞を有する素子分離用領域では、素子分離用領域から半導体基板に及ぼされる応力が低減される。応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、素子分離用膜および空洞により、十分な素子分離耐圧を確保できる。

[0083] 上記素子分離用膜が、上記空洞の上を覆い、p型不純物を含む膜である場合には、素子分離用膜によって複数の素子形成用領域が互いに電氣的に分離されるため、十分な素子分離耐圧を確保することができる。

[0084] 上記素子分離用膜が、上記空洞の上を覆うシリコン酸化膜である場合には、絶縁膜であるシリコン酸化膜によって複数の素子形成用領域が互いに電氣的に分離されるため、十分な素子分離耐圧を確保することができる。

[0085] 上記素子分離用膜は、上記溝を埋めるTEOS膜であって、上記空洞は、上記TEOS膜内の一部に設けられている場合には、絶縁膜であるTEOS膜によって複数の素子形成用領域が互いに電氣的に分離されるため、十分な素子分離耐圧を確保することができる。

[0086] なお、上述したような固体撮像装置をカメラに用いると、高解像度を実現することができる。

[0087] 本発明の第4の固体撮像装置は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に設けられた素子分離溝の壁部がテーパ状に加工されている。

[0088] 第4の固体撮像装置によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝が設けられているため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁部がテーパ状に加工されているため、光電変換部又は活性領域となる半導体基板と素子分

離領域との境界に発生する応力を低減できる。従って、光電変換部(例えばフォトダイオード等)又は活性領域(例えばトランジスタのソース領域及びドレイン領域等)におけるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

- [0089] 本発明の第5の固体撮像装置は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に設けられた素子分離溝の壁面が半導体基板の表面に対して 110° 以上で且つ 130° 以下の角度を持つ。
- [0090] 第5の固体撮像装置によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝が設けられているため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁面が半導体基板の表面に対して 110° 以上で且つ 130° 以下の角度を持つため、光電変換部又は活性領域となる半導体基板の表面と素子分離領域の表面との境界に発生するせん断応力を最小化することができる。従って、光電変換部(例えばフォトダイオード等)又は活性領域(例えばトランジスタのソース領域及びドレイン領域等)において、せん断応力に起因して発生する応力によるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。
- [0091] 第4又は第5の固体撮像装置において、光電変換部の導電型がn型である場合、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にはp型半導体層が設けられており、光電変換部の導電型がp型である場合、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にはn型半導体層が設けられていることが好ましい。
- [0092] このようにすると、シリコン基板における素子分離領域と接する箇所に生じる界面準位に起因する暗電流を減少させることができる。
- [0093] 第4又は第5の固体撮像装置において、撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、周辺回路領域及び撮像領域において同じ素子分離構造が用いられていることが好ましい。

- [0094] このようにすると、固体撮像装置の製造工程を簡単化できる。
- [0095] 第4又は第5の固体撮像装置において、撮像領域を動作させるための駆動回路を含む周辺回路領域を半導体基板上に備え、周辺回路領域及び撮像領域において異なる素子分離構造が用いられていることが好ましい。
- [0096] このようにすると、周辺回路領域に設けられる素子分離領域を、撮像領域に設けられる素子分離領域よりも小さくできるので、周辺回路領域の面積を削減することができる。
- [0097] 第4又は第5の固体撮像装置において周辺回路領域を設ける場合、周辺回路領域に設けられるトランジスタはn型MOSTランジスタのみであるか又はp型MOSTランジスタのみであることが好ましい。
- [0098] このようにすると、固体撮像装置の製造に必要な不純物注入工程を削減できるので、工程短縮が可能になる。
- [0099] 第4又は第5の固体撮像装置において周辺回路領域を設ける場合、周辺回路領域に設けられるトランジスタはCMOSTランジスタであることが好ましい。
- [0100] このようにすると、高速電荷読み出しが可能な固体撮像装置を実現できる。
- [0101] 本発明に係るカメラは、本発明に係る第4又は第5の固体撮像装置を用いたカメラであるので、高解像度の撮像を行なうことができる。

発明の効果

- [0102] 本発明に係わる固体撮像装置および製造方法は、フォトダイオード同士を分離するための素子分離形成領域や、フォトダイオードと活性領域とを分離するための素子分離用領域に適用することができ、低応力で十分な素子分離能力を有し、ハンプ特性に優れている。したがって、低暗電流の抑制と白キズ数の削減が可能である。

図面の簡単な説明

- [0103] [図1]図1(a)～(f)は、第1の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。
- [図2]図2(a)～(f)は、第2の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。
- [図3]図3(a)～(d)は、第3の実施形態に係る固体撮像装置の製造工程のうち素子

分離用領域を形成する工程を示す断面図である。

[図4]図4(a)～(d)は、第4の実施形態に係る固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[図5]図5(a)～(e)は、第5の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[図6]図6(a)～(e)は、第6の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[図7]図7(a)～(e)は、第7の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[図8]図8(a)～(e)は、第8の実施形態における固体撮像装置の製造方法の各工程を示す断面図である。

[図9]図9は、トレンチ41に素子分離絶縁膜44が埋め込まれてなる本実施形態の素子分離構造と基板1との境界に生じる応力(残留応力)の、トレンチ角度($=180^\circ -$ テーパ角度 θ)に対する依存性をシミュレーションした結果を示す図である。

[図10]図10は、固体撮像装置の構成の一例を示す回路図である。

[図11]図11(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

符号の説明

- | | | |
|--------|----|---------|
| [0104] | 1 | 半導体基板 |
| | 2 | パッド絶縁膜 |
| | 3 | 耐酸化性膜 |
| | 4 | 開口 |
| | 5 | サイドウォール |
| | 6 | トレンチ |
| | 7 | 内壁熱酸化膜 |
| | 8 | 用絶縁膜 |
| | 9 | 光電変換部 |
| | 10 | 活性領域 |

- 11 埋め込み用膜
- 12 酸化性膜
- 16 ゲート絶縁膜
- 17 CVD酸化膜
- 18 層間絶縁膜
- 19 信号線
- 20 配線パターン
- 21 LOCOS酸化膜
- 30 注入層
- 31 トレンチ
- 32 内壁絶縁膜
- 33 空洞
- 34 シリコン
- 35 酸化層
- 36 TEOS膜
- 37 空洞
- 41 トレンチ
- 42 内壁熱酸化膜
- 43 絶縁膜
- 44 素子分離絶縁膜
- 45 光電変換表面部
- 46 光電変換底部
- 51 半導体基板
- 52 ゲート絶縁膜
- 53 素子分離領域
- 54 光電変換部
- 55 ドレイン領域
- 56 CVD酸化膜

- 57 溝
- 58 ポリシリコン膜
- 58a 配線パターン
- 59 層間絶縁膜
- 60 信号線

発明を実施するための最良の形態

- [0105] 以下に、本発明の実施の形態に係る固体撮像装置について、図面を参照しながら説明する。なお、以下の実施形態では、本発明を、フォトダイオード同士の間の素子分離用領域や、フォトダイオードと活性領域との間の素子分離用領域に適用する場合について説明する。
- [0106] (第1の実施形態)
- 図1(a)～(f)は、第1の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。
- [0107] 本実施形態の固体撮像素子の製造工程では、まず、図1(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。
- [0108] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.20 μ m程度に設定する。
- [0109] 次に、図1(b)に示す工程で、厚さ10～200nm程度のシリコン窒化膜等からなる耐酸化性膜(図示せず)を、開口4の表面を埋めるように堆積する。その後、耐酸化性膜に対して異方性ドライエッチングを行うことにより、開口4の側面上に耐酸化性のサイドウォール5を形成する。このとき、耐酸化性膜3の厚みとサイドウォール用の耐酸化性膜の厚みとを変化させることにより、サイドウォール5の厚みを調節することができる。なお、本実施形態では、耐酸化性膜3およびサイドウォール5としてシリコン窒化

膜を用いて説明したが、その代わりとして、酸化膜、シリコン膜、酸化窒素膜を用いてもよい。

- [0110] 次に、図1(c)に示す工程で、耐酸化性膜3およびサイドウォール5をマスクにして選択的なエッチングを行うことにより、半導体基板1の上部を除去して深さ50～500nm程度のトレンチ6を形成する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー5KeV～50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2$ ～ $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。
- [0111] 次に、図1(d)に示す工程で、半導体基板1のうちトレンチ6の側面に露出する部分を熱酸化することにより、厚さ40nm程度の内壁熱酸化膜7を形成する。内壁熱酸化膜7を形成することにより、半導体基板1のうちトレンチ6の上縁部に露出するエッジ部を丸めることができる。その後、基板上に、トレンチ6および開口4を埋め、耐酸化性膜3の上を覆う、厚さ600nm程度の酸化膜からなる埋め込み用膜8を堆積する。なお、本実施形態では、埋め込み用膜8として酸化膜を用いて説明したが、その代わりとして酸化窒素膜を用いてもよい。
- [0112] 次に、図1(e)に示す工程で、耐酸化性膜3を研磨ストップ層としてCMP法を行うことにより、埋め込み用膜8の上部を研磨して除去する。
- [0113] 次に、図1(f)に示す工程で、耐酸化性膜3とパッド絶縁膜2の上部とをウェットエッチングで除去する。このウェットエッチングは、シリコン酸化膜に対してシリコン窒素化膜のエッチングレートが高くなる条件で行う。これにより、シリコン酸化膜からなる埋め込み用膜8よりも、シリコン窒素化膜からなる耐酸化性膜3およびサイドウォール5の方が深く除去される。そして、パッド絶縁膜2を薄く残した状態でウェットエッチングを止めると、パッド絶縁膜2やサイドウォール5の高さよりも埋め込み用膜8の方が高く形成される。
- [0114] その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

- [0115] 以下に、本実施形態で得られる効果について説明する。
- [0116] 本実施形態では、トレンチ6を、サイドウォール5をマスクとしたエッチングによって形成している。そのため、開口4(図1(a)等)に示す)の開口幅よりも、サイドウォール5の厚さの分だけ、トレンチ6の幅を狭くすることができる。したがって、開口4を、現時点でパターンニングにより形成できる最小の開口幅で形成した場合でも、それよりも狭いトレンチ6を形成することができる。
- [0117] トレンチ6の幅を狭くしても、トレンチ6内を埋める埋め込み用膜8の素子分離能力は高いので、素子分離能力を確保することはできる。そして、トレンチ6の幅を狭くすることにより、その分だけ光電変換部9および活性領域10とトレンチ6の表面との間の距離を長くすることができる。したがって、トレンチ6を埋め込み用膜8で埋めた後にトレンチ6付近で熱応力が発生しても、光電変換部9および活性領域10の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。具体的には、従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。
- [0118] また、本実施形態では、トレンチ6を形成した後に、p型の不純物を注入している。これにより、暗電流が、トレンチ6の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板1のうちトレンチ6の表面付近に位置する領域にp型の不純物をドーピングすることにより、トレンチ6の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。
- [0119] さらに、本実施形態では、内壁熱酸化膜7を形成することにより、半導体基板1のうちトレンチの上縁部に露出するエッジ部を丸めている。これにより、素子の動作時に、半導体基板1のエッジ部に電界集中が起こるのを防止することができる。
- [0120] さらに、本実施形態では、埋め込み用膜8を半導体基板1の上面よりも高く形成している。これにより、埋め込み用膜8の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由につい

て説明する。配線は、半導体基板1および埋め込み用膜8の上を導体膜で覆った後に、この導体膜をパターニングすることにより形成する。もし埋め込み用膜8が半導体基板1の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜8の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じる。本実施形態では、埋め込み用膜8を高く形成しているので、このおそれを回避することができる。

[0121] (第2の実施形態)

図2(a)～(f)は、第2の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[0122] 本実施形態の固体撮像装置の製造工程では、まず、図2(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

[0123] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.2 μ m程度に設定する。

[0124] 次に、図2(b)に示す工程で、厚さ10～200nm程度のシリコン窒化膜等からなる耐酸化性膜(図示せず)を、開口4の表面を埋めるように堆積する。その後、耐酸化性膜に対して異方性ドライエッチングを行うことにより、開口4の側面上に耐酸化性のサイドウォール5を形成する。このとき、耐酸化性膜3の厚みとサイドウォール用の耐酸化性膜の厚みとを変化させることにより、サイドウォール5の厚みを調節することができる。なお、本実施形態では、耐酸化性膜3およびサイドウォール5としてシリコン窒化膜を用いて説明したが、その代わりとして、酸化膜、シリコン膜、酸窒化膜を用いてもよい。

[0125] 次に、図2(c)に示す工程で、耐酸化性膜3およびサイドウォール5をマスクにして選択的なエッチングを行うことにより、半導体基板1の上部を除去して深さ50～500nm程度のトレンチ6を形成する。続いて、基板の上方から、p型不純物であるボロンを

、注入エネルギー5KeV〜50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。

[0126] 次に、図2(d)に示す工程で、半導体基板1のうちトレンチ6の側面に露出する部分を熱酸化することにより、厚さ40nm程度の内壁熱酸化膜7を形成する。内壁熱酸化膜7を形成することにより、半導体基板1のうちトレンチ6の上縁部に露出するエッジ部を丸めることができる。その後、基板上に、トレンチ6および開口4を埋め、耐酸化性膜3の上を覆う、厚さ600nm程度のシリコン膜からなる埋め込み用膜11を形成する。ここで、埋め込み用膜11として、ポリシリコンやアモルファスシリコンを用いる。

[0127] 次に、図2(e)に示す工程で、耐酸化性膜3を研磨ストップ層としてCMP法を行うことにより、埋め込み用膜11の上部を研磨して除去する。

[0128] 次に、図2(f)に示す工程で、耐酸化性膜3とパッド絶縁膜2の上部とをウェットエッチングで除去する。このウェットエッチングは、シリコンに対してシリコン窒化膜のエッチングレートが高くなる条件で行う。これにより、シリコンからなる埋め込み用膜11よりも、シリコン窒化膜からなる耐酸化性膜3およびサイドウォール5の方が深く除去される。そして、パッド絶縁膜2を薄く残した状態でウェットエッチングを止めると、パッド絶縁膜2やサイドウォール5の高さよりも埋め込み用膜11の方が高く形成される。

[0129] その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上により、本実施形態の工程が終了する。

[0130] 以下に、本実施形態で得られる効果について説明する。

[0131] 本実施形態では、トレンチ6を、サイドウォール5をマスクとしたエッチングによって形成している。そのため、開口4(図2(a)等)に示す)の開口幅よりも、サイドウォール5の厚さの分だけ、トレンチ6の幅を狭くすることができる。したがって、開口4を、現時点でパターニングにより形成できる最小の開口幅で形成した場合にも、それよりも狭いトレンチ6を形成することができる。

[0132] トレンチ6の幅を狭くしても、トレンチ6の表面部には内壁熱酸化膜7が設けられてい

るので、素子分離能力を確保することはできる。そして、トレンチ6の幅を狭くすることにより、その分だけ光電変換部9および活性領域10とトレンチ6の表面との間の距離を長くすることができる。したがって、トレンチ6を埋め込み用膜11で埋めた後にトレンチ6付近で熱応力が発生しても、光電変換部9および活性領域10の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。具体的には、従来のSTIを有する撮像素子では、白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では、白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

[0133] さらに、本実施形態では、埋め込み用膜11の材料としてポリシリコンやアモルファスシリコンを用いる。ポリシリコンやアモルファスシリコンの熱膨張率は半導体基板1と同程度であるので、埋め込み用膜11から半導体基板1の方にかかる応力をさらに低減することができる。

[0134] また、本実施形態では、トレンチ6を形成した後に、p型の不純物を注入している。これにより、暗電流が、トレンチ6の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板1のうちトレンチ6の表面付近に位置する領域にp型の不純物をドーピングすることにより、トレンチ6の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

[0135] さらに、本実施形態では、内壁熱酸化膜7を形成することにより、半導体基板1のうちトレンチの上縁部に露出するエッジ部を丸めている。これにより、素子の動作時に、半導体基板1のエッジ部に電界集中が起こるのを防止することができる。

[0136] さらに、本実施形態では、埋め込み用膜11を半導体基板1の上面よりも高く形成している。これにより、埋め込み用膜11の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、半導体基板1および埋め込み用膜11の上を導体膜で覆った後に、この導体膜をパターニングすることにより形成する。もし埋め込み用膜11が半導体基板1の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜11の

上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じる。本実施形態では、埋め込み用膜11を高く形成しているので、このおそれを回避することができる。

[0137] (第3の実施形態)

図3(a)～(d)は、第3の実施形態に係る固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[0138] 本実施形態の固体撮像装置の製造方法では、まず、図3(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

[0139] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、 $0.20\mu\text{m}$ 程度に設定する。なお、この開口4の幅は、後にLOCOS酸化膜21(図3(c)に示す)を形成したときに素子分離領域が広がることを考慮して、狙い素子分離領域幅より狭くする。このように開口4の幅を調整することにより、素子分離領域の占める表面積を減少させることができるので、この方法を微細MOS型撮像装置に適用すると有用である。

[0140] 次に、図3(b)に示す工程で、耐酸化性膜3をマスクにして半導体基板1を選択的にエッチングする。このとき、半導体基板1を10～100nm程度の深さまで除去し、開口4の深さを深くする。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1\times 10^{11}/\text{cm}^2$ ～ $1\times 10^{15}/\text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。

[0141] 次に、図3(c)に示す工程で、耐酸化性膜3を強化マスクにして、半導体基板1のうち開口4の表面に露出する部分を選択的に熱酸化することにより、LOCOS酸化膜21を形成する。LOCOS酸化膜21は、開口4の側面のうち半導体基板1が露出する部分を埋めるように形成する。なお、LOCOS酸化膜21における凸部分の高さおよ

び形状を調整することにより、後工程で導体膜をパターンニングしてゲート絶縁膜を形成する際に、導体膜を制御性よく除去することができる。したがって、微細加工が可能となる。

[0142] 次に、図3(d)に示す工程で、ウェットエッチングを行うことにより耐酸化性膜3とパッド絶縁膜2の上部とを除去する。ここで、CMP研磨を行うことにより、耐酸化性膜3およびパッド絶縁膜2を幾分除去した後にウェットエッチングを行って、残存する分を除去してもよい。

[0143] なお、バースビークの幅が長い場合は、ウェットエッチングを行ってバースビークを除去することにより、活性領域の面積を十分確保できるよう調節すればよい。

[0144] その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。その後、周知の方法により、ゲート絶縁膜16、CV D酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。

[0145] 以下に、本実施形態で得られる効果について説明する。

[0146] 本実施形態では、半導体基板1のうちの上部を除去して凹部を形成した後にLOC OS酸化膜21を形成する。これにより、バースビークの発生を抑制することができる。よって、素子の微細化を図ることができる。

[0147] また、凹部を形成してLOCOS酸化膜21を形成するため、LOCOS酸化膜21が形成されるのは、素子の動作領域を確保することができる。

[0148] また、図3(b)に示す工程でp型不純物を注入することにより、暗電流が、凹部の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板1のうちの凹部の表面付近に位置する領域にp型の不純物をドーピングすることにより、凹部の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

[0149] また、図3(d)に示す工程で、LOCOS酸化膜21の高さを半導体基板1の高さよりも高くすることにより、LOCOS酸化膜21の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。

[0150] (第4の実施形態)

図4(a)～(d)は、本発明の第4の実施形態に係る固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

- [0151] 本実施形態の固体撮像装置の製造方法では、まず、図4(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ10～30nmのからなる酸化性膜12を形成し、酸化性膜12の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。
- [0152] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2、酸化性膜12および耐酸化性膜3を貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、 $0.2\mu\text{m}$ 程度に設定する。なお、この開口4の幅は、後にLOCOS酸化膜21を形成したときに素子分離領域が広がることを考慮して、狙い素子分離領域幅より狭くする。このように開口4の幅を調整することにより、素子分離領域の占める表面積を減少させることができるので、この方法を微細MOS型撮像装置に適用すると有用である。
- [0153] 次に、図4(b)に示す工程で、耐酸化性膜3をマスクにして半導体基板1を選択的に除去する。このとき、半導体基板1を10～100nm程度の深さまで除去し、開口4の深さを深くする。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1\times 10^{11}/\text{cm}^2$ ～ $1\times 10^{15}/\text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。
- [0154] 次に、図4(c)に示す工程で、耐酸化性膜3を強化マスクにして、半導体基板1のうち開口4の表面に露出する部分を選択的に熱酸化することにより、LOCOS酸化膜21を形成する。LOCOS酸化膜21は、開口4の側面のうち半導体基板1が露出する部分を埋めるように形成する。なお、LOCOS酸化膜21における凸部分の高さおよび形状を調整することにより、後工程で導体膜をパターンニングしてゲート絶縁膜を形成する際に、導体膜を制御性よく除去することができる。したがって、微細加工が可能となる。

- [0155] 次に、図4(d)に示す工程で、ウェットエッチングを行うことにより耐酸化性膜3と、酸化性膜12と、パッド絶縁膜2の上部とを除去する。ここで、CMP研磨を行うことにより、耐酸化性膜3、酸化性膜12およびパッド絶縁膜2を幾分除去した後にウェットエッチングを行って、残存する分を除去してもよい。
- [0156] なお、バースピークの幅が長い場合は、ウェットエッチングを行ってバースピーグを除去することにより活性領域の面積を十分確保できるよう調節する。
- [0157] その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。
- [0158] 本実施形態では、第3の実施形態と同様の効果を得ることができる。それに加えて、パッド絶縁膜2と耐酸化性膜3との間に酸化性膜12を設けることにより、半導体基板1の表面における素子分離領域との境界エッジを丸めることができる。よって、ハンプ特性(素子領域の端部におけるリーク電流についての特性)は改善することができる。
- [0159] 従来では、素子分離領域としてSTIを用いると、約10000個の白キズが観測された。それに対し、本実施形態の撮像素子では、白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。
- [0160] (第5の実施形態)
- 本実施形態では、ゲート長 $0.3\mu\text{m}$ 以下のCMOSプロセスに用いる素子分離を想定して説明を行う。図5(a)～(e)は、第5の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。
- [0161] 本実施形態の固体撮像装置の製造方法では、まず、図5(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジス

ト(図示せず)を形成する。

- [0162] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、 $0.2\mu\text{m}$ 程度に設定する。
- [0163] 次に、図5(b)に示す工程で、耐酸化性膜3をマスクにして半導体基板1を選択的にエッチングすることにより、半導体基板1にトレンチ31を形成する。このとき、半導体基板1を50～500nm程度の深さまで除去する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1\times 10^{11}/\text{cm}^2$ ～ $1\times 10^{15}/\text{cm}^2$ の条件で注入する。この条件を、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整することにより、分離耐圧を向上させることができる。
- [0164] 次に、図5(c)に示す工程で、半導体基板1のうちトレンチ31の側壁に位置する部分を熱酸化することにより、内壁絶縁膜32を形成する。この内壁絶縁膜32を形成することにより、トレンチ31を形成する際に発生するダメージを修復することができるため、界面準位が原因となって生じるリーク電流を削減することができる。その後、エッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを除去する。
- [0165] なお、内壁絶縁膜32を、熱酸化によって形成するかわりに、CVD法等によって形成してもよい。また、内壁絶縁膜32を、複数層の絶縁膜から形成してもよい。この場合には、トレンチ31を形成する際にトレンチ31の側面上に生じたダメージを覆うことができる。
- [0166] 次に、図5(d)に示す工程で、 1000°C ～ 1200°C の水素雰囲気中で熱処理を行う。この条件で熱処理を行うと、シリコン原子が熱拡散し、トレンチ31の内部に空洞33が形成された状態でトレンチ31の上部がシリコン34により覆われる。
- [0167] 次に、図5(e)に示す工程で、半導体基板1のうち素子分離領域に位置する部分の上部にp型イオンを注入することにより、注入層30を形成する。このとき、素子分離の分離耐圧を増加させることができるような濃度に調整する必要がある。本実施形態では、B原子を、ドーズ量 $1\times 10^{11}/\text{cm}^2$ ～ $1\times 10^{15}/\text{cm}^2$ 、注入エネルギー3keV～30keVの条件で注入している。ここで、必要な分離耐圧は、その素子分離がどの素子

間を分離するかによって異なる。つまり、フォトダイオード同士の間における素子分離、フォトダイオードと活性領域との間の素子分離、活性領域同士の間における素子分離のそれぞれにおいて、注入の条件を調整する。

[0168] その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。続いて、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

[0169] 本実施形態では、半導体基板1内に、空洞33を形成することにより異種材料を埋め込まずに素子分離領域を形成できるため、熱処理による応力を低減させることができる。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、内壁絶縁膜32、空洞33および注入層30により、十分な素子分離耐圧を確保できる。

[0170] 従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

[0171] (第6の実施形態)

図6(a)～(e)は、第6の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

[0172] 本実施形態の固体撮像装置の製造方法では、まず、図6(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

[0173] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.2 μ m程度に設定する。

[0174] 次に、図6(b)に示す工程で、耐酸化性膜3をマスクにして半導体基板1を選択的

にエッチングすることにより、半導体基板1にトレンチ31を形成する。このとき、半導体基板1を、50〜500nm程度の深さまで除去する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV〜50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2$ 〜 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。

[0175] 次に、図6(c)に示す工程で、トレンチ31の側壁を熱酸化し、内壁絶縁膜32を形成して、パッド絶縁膜2と耐酸化性膜3をエッチングにより除去する。

[0176] 次に、図6(d)に示す工程で、1000℃〜1200℃の水素雰囲気中で熱処理を行う。これにより、半導体基板1表面は、シリコン原子が熱拡散することにより、空洞33が素子分離領域内部に形成する。

[0177] そして、次に、図6(e)に示す工程で、半導体基板1のうち素子分離領域に位置する部分の上部を熱酸化することにより、酸化層35を形成する。これにより、分離耐圧を増加することができる。

[0178] その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。続いて、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

[0179] 以下に、本実施形態で得られる効果について説明する。

[0180] 本実施形態では、半導体基板1内に、空洞33を形成することにより異種材料を埋め込まずに素子分離領域を形成できるため、熱処理による応力を低減させることができる。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、内壁絶縁膜32、空洞33および酸化層35により、十分な素子分離耐圧を確保できる。

[0181] 従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

[0182] (第7の実施形態)

図7(a)～(e)は、第7の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

- [0183] 本実施形態の固体撮像装置の製造方法では、まず、図7(a)に示す工程で、半導体基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。
- [0184] その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通して半導体基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、 $0.2\mu\text{m}$ 程度に設定する。
- [0185] 次に、図7(b)に示す工程で、耐酸化性膜3をマスクにして半導体基板1を選択的にエッチングすることにより、半導体基板1にトレンチ31を形成する。このとき、半導体基板1を50～500nm程度の深さまで除去する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1\times 10^{11}/\text{cm}^2$ ～ $1\times 10^{15}/\text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。
- [0186] 次に、図7(c)に示す工程で、半導体基板1のうちトレンチ31の側壁に位置する部分を熱酸化することにより内壁絶縁膜32を形成する。なお、内壁絶縁膜32を、熱酸化によって形成するかわりに、CVD法等によって形成してもよい。また、内壁絶縁膜32を、複数層の絶縁膜から形成してもよい。その後、半導体基板1の上に、開口4内およびトレンチ31内を埋め、耐酸化性膜3の上を覆うTEOS(Tetra Ethyl Oxosilane)膜36を形成する。
- [0187] 次に、図7(d)に示す工程で、CMP法によって研磨を行うことにより、TEOS膜36のうち開口4の途中の深さまでを除去する。
- [0188] 次に、図7(e)に示す工程で、エッチングにより、耐酸化性膜3とパッド絶縁膜2のうちの上部とを除去する。これにより、TEOS膜36の高さは、半導体基板1における素子形成領域の上面よりも高くなる。その後、半導体基板1のうち所望の領域にイオン注入を行うことにより、光電変換部9および活性領域10を形成する。続いて、周知の

方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

[0189] 以下に、本実施形態で得られる効果について説明する。

[0190] 本実施形態では、素子分離内に空洞37を形成するので、素子分離のTEOS膜36が半導体基板1に与える応力を低減することができる。応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、内壁絶縁膜32、TEOS膜36、空洞37により、十分な素子分離耐圧を確保できる。なお、トレンチ31の深さを幅の2倍以上にした場合には、空洞37が形成されやすくなる。

[0191] 従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約2000個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。また、空洞37を形成することにより、素子分離を介して隣接する素子同士のソース領域からドレイン領域にも電流が流れにくくなるため、寄生MOSTランジスタ特性も10V以上に確保することができる。

[0192] (第8の実施形態)

以下、本発明の第8の実施形態に係る固体撮像装置及びその製造方法について図面を参照しながら説明する。

[0193] 図8(a)～(e)は、第8の実施形態における固体撮像装置の製造方法の各工程を示す断面図である。

[0194] まず、図8(a)に示すように、例えばシリコンよりなる半導体基板1の上に、第1の絶縁層であるパッド絶縁膜2と第2の絶縁層である耐酸化性膜3との積層体を形成する。その後、パッド絶縁膜2と耐酸化性膜3との積層体をパターンニングする。具体的には、該積層体における所定の領域つまり素子分離領域の上側に形成されている部分を除去して開口部を設ける。ここで、パッド絶縁膜2は例えば厚さ1～50nm程度のシリコン酸化膜であり、耐酸化性膜3は例えば厚さ50～400nm程度のシリコン窒化膜である。本実施形態では、耐酸化性膜3として、シリコン窒化膜に代えて、シリコン

膜又はシリコン酸窒化膜を用いてもよい。

- [0195] 次に、図8(b)に示すように、パターニングされたパッド絶縁膜2及び耐酸化性膜3をマスクとして、基板1に対してドライエッチングを行なうことにより、素子分離溝(以下、トレンチと称する)41を形成する。このとき、トレンチ41の壁部をテーパ状に加工することにより、素子分離領域における局所的な応力の削減を行なう。また、後述するように、トレンチ41の壁面と基板1の表面との間の角度(テーパ角度 θ)は 110° 以上で且つ 130° 以下であることが望ましい。
- [0196] 具体的には、基板1に対してドライエッチングを行なう際に、酸素ガスの流量を塩素ガス(塩素含有ガスでもよい)の流量の5%以下に設定する。このようにすると、トレンチ41の形成時にトレンチ41の壁面に、エッチングに起因して発生した反応生成物を付着させることができるので、トレンチ41の壁部をテーパ状に加工することができる。尚、前述のドライエッチングの後、トレンチ41の壁面に付着した反応生成物をウェットエッチングによって除去する。
- [0197] 次に、基板1におけるトレンチ41の近傍部分にp型の不純物を注入する。このとき、界面準位によって生じる暗電流に起因する電子を束縛できるように、注入エネルギー及び注入量を調節する。具体的には、本実施形態では、 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ 程度の注入量及び5keV \sim 50keV程度の注入エネルギーでB(ボロン)原子の注入を行なう。
- [0198] 次に、図8(c)に示すように、トレンチ41の壁部となる基板1に対して熱酸化を行なうことにより、内壁熱酸化膜42を形成した後、トレンチ41が埋まるように基板1の上に全面に亘って絶縁膜43を堆積する。ここで、絶縁膜43としては、シリコン酸化膜又はシリコン酸窒化膜を用いることができる。
- [0199] 次に、図8(d)に示すように、耐酸化性膜3を研磨ストップ層としてCMP(chemical mechanical polishing)法を用いて絶縁膜43に対して研磨を行なうことにより、トレンチ41に素子分離絶縁膜44を形成する。
- [0200] 次に、図8(e)に示すように、耐酸化性膜3(及びパッド絶縁膜2の一部)をウェットエッチングによって除去する。これにより、素子分離領域よりも狭い幅を持つトレンチ41に素子分離絶縁膜44が埋め込まれた素子分離構造を形成できるので、低応力と

十分な素子分離耐圧とを実現できる。その後、基板1におけるトレンチ41つまり素子分離領域に挟まれた各部分に、撮像領域の各画素を構成する光電変換部(例えばフォトダイオード)9及び活性領域(例えばトランジスタのソース領域及びドレイン領域)10を形成する。

[0201] 以上に説明したように、本実施形態によると、光電変換部9同士の間及び光電変換部9と活性領域10との間に、素子分離領域となるトレンチ41が設けられているため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該トレンチ41の壁部がテーパ状に加工されているため、光電変換部9又は活性領域10となる基板1とトレンチ41(つまり素子分離領域)との境界に発生する応力を低減できる。従って、光電変換部9(例えばフォトダイオード等)又は活性領域10(例えばトランジスタのソース領域及びドレイン領域等)におけるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

[0202] 図9は、トレンチ41に素子分離絶縁膜44が埋め込まれてなる本実施形態の素子分離構造と基板1との境界に生じる応力(残留応力)の、トレンチ角度($=180^\circ - \text{テーパ角度 } \theta$)に対する依存性をシミュレーションした結果を示す図である。尚、本実施形態では、図8(e)に示すように、基板1の主面と平行な方向をx方向、基板1の主面に対して垂直な方向をy方向と定義する。ここで、光電変換部9に加わる応力としては、その両側の素子分離絶縁膜44から受ける圧縮応力とせん断応力とがある。圧縮応力は、素子分離絶縁膜44がx方向に体積膨張する際に光電変換部9に対してx方向に加わる力であり、図9において、この力を S_{xx} と記す。また、せん断応力は、素子分離絶縁膜44がx方向に体積膨張する際に光電変換部9に対してy方向に加わる力、つまり光電変換部9を押し上げる力であり、図9において、この力を S_{xy} と記す。このような S_{xx} 及び S_{xy} が際だって高い値を示す箇所として、図8(e)に示す光電変換表面部45と光電変換底部46とがある。すなわち、図9は、光電変換表面部45での S_{xx} 及び S_{xy} のそれぞれのピーク値である $S_{xx}(\text{top})$ 及び $S_{xy}(\text{top})$ 、並びに光電変換底部46での S_{xx} 及び S_{xy} のそれぞれのピーク値である $S_{xx}(\text{bottom})$ 及び $S_{xy}(\text{bottom})$ を様々なトレンチ角度についてプロットした結果を示している。

[0203] 図9に示すように、テーパ角度 θ が $110^\circ \sim 130^\circ$ の範囲において、素子分離構

造の表面部と基板1の表面部との境界に生じる応力がより軽減されている。すなわち、この範囲において、光電変換部9又は活性領域10となる基板1の表面部と素子分離構造の表面との境界におけるせん断応力を最小化できるので、光電変換部9又は活性領域10において、せん断応力に起因して発生する応力によるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。具体的には、100万画素、出力10mV以上の固体撮像装置において、トレンチ41の壁部がテーパ化された本実施形態の素子分離構造と、壁部がテーパ化されていない従来のSTI構造とをそれぞれ用いた場合、従来のSTI構造では白キズ数が約10000個にも達するのに対して、本実施形態の素子分離構造では白キズ数を約5000個以下に低減できる。さらに、本実施形態の素子分離構造においてテーパ角度 θ を 110° 〜 130° に設定した場合には白キズ数を約1000個に抑制することができる。

[0204] 尚、本実施形態において、光電変換部9の導電型がn型である場合には、トレンチ41の形成後に、光電変換部9となる基板1のうちトレンチ41と接する領域の少なくとも一部分にp型半導体層を設けることが好ましく、光電変換部9の導電型がp型である場合には、トレンチ41の形成後に、光電変換部9となる基板1のうちトレンチ41と接する領域の少なくとも一部分にn型半導体層を設けることが好ましい。このようにすると、基板1における素子分離領域と接する箇所に生じる界面準位に起因する暗電流を減少させることができる。

[0205] (その他の実施形態)

なお、上述の実施形態では、本発明の素子分離を、図10に示す各画素106中の素子分離に適用した。しかしながら、本発明の素子分離を、垂直シフトレジスタ108、水平シフトレジスタ109およびタイミング発生回路110等の周辺回路における素子分離にも適用することができる。その場合には、素子分離を形成する工程の短縮が可能となる。

[0206] また、上述の実施形態において、固体撮像装置が、撮像領域を動作させるための駆動回路を含む周辺回路領域を基板上に備えている場合、周辺回路領域及び撮像領域において異なる素子分離構造を設けてもよい。このようにすると、周辺回路領域

に設けられる素子分離領域を、撮像領域に設けられる素子分離領域よりも小さくできるので、周辺回路領域の面積を削減することができる。

[0207] また、図10に示す撮像領域107におけるMOSFETは全てn型である。そのため、周辺回路をN型MOSFETのみで設計すると、注入工程を削減することができ工程の短縮化が可能である。

[0208] また、周辺回路にCMOSTランジスタを用いた場合には、電荷読み出しをさらに高速化することができる。

[0209] また、本発明における固体撮像装置をカメラに組み込むことにより、高解像度の撮像が可能となる。

[0210] なお、上述の実施形態では、シリコン基板に撮像素子を形成する場合について説明したが、本発明では、GaAs等からなる半導体基板に撮像素子を形成する場合にも適用することができる。

産業上の利用可能性

[0211] 以上説明したように、本発明の固体撮像装置およびその製造方法では、低応力で十分な素子分離能力を有し、ハンプ特性に優れている素子分離を設けることができ、低暗電流の抑制と白キズ数の削減が可能である点で、産業上の利用可能性は高い

。

請求の範囲

- [1] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、
- 前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域と前記素子分離用領域の側方に位置する領域とを露出する開口を有する保護膜を形成する工程(a)と、
- 前記保護膜における前記開口の側面上に、サイドウォールを形成する工程(b)と、
- 前記保護膜および前記サイドウォールをマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域にトレンチを形成する工程(c)と、
- 前記トレンチを埋め込み用膜で埋めることにより、素子分離を形成する工程(d)とを備えることを特徴とする固体撮像装置の製造方法。
- [2] 請求項1に記載の固体撮像装置の製造方法であって、
- 前記半導体基板のうち前記素子形成用領域には、n型不純物が含まれており、
- 前記工程(c)の後で前記工程(d)の前に、前記半導体基板のうち前記トレンチの表面部に位置する部分にp型のイオンを注入する工程をさらに備えることを特徴とする固体撮像装置の製造方法。
- [3] 請求項1に記載の固体撮像装置の製造方法であって、
- 前記工程(c)の後で前記工程(d)の前に、前記半導体基板のうち前記トレンチの表面部に位置する領域を酸化する工程をさらに備えることを特徴とする固体撮像装置の製造方法。
- [4] 請求項1に記載の固体撮像装置の製造方法であって、
- 前記工程(a)では、前記保護膜として、第1の絶縁膜と、前記第1の絶縁膜の上に設けられ、耐酸化性の性質を有する第2の絶縁膜とを形成することを特徴とする固体撮像装置の製造方法。
- [5] 請求項1に記載の固体撮像装置の製造方法であって、
- 前記工程(d)では、前記埋め込み用膜を、CVD法により堆積することを特徴とする固体撮像装置の製造方法。

- [6] 請求項1に記載の固体撮像装置の製造方法であって、
前記工程(d)では、前記埋め込み用膜を、前記保護膜の前記開口を埋めるように形成した後に、前記保護膜を前記埋め込み用膜よりも深く除去することにより、前記素子分離を、前記半導体基板の上面よりも高く形成することを特徴とする固体撮像装置の製造方法。
- [7] 請求項1に記載の固体撮像装置の製造方法であって、
前記半導体基板のうち前記撮像領域の側方には、前記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、
前記周辺回路領域における素子分離は、前記撮像領域における前記素子分離と同じ工程で形成されることを特徴とする固体撮像領域の製造方法。
- [8] 請求項7に記載の固体撮像装置の製造方法であって、
前記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成することを特徴とする固体撮像装置の製造方法。
- [9] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、
前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域に位置する部分の少なくとも一部を露出する開口を有する保護膜を形成する工程(a)と、
前記工程(a)の後に、前記保護膜をマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域に位置する部分を除去してパターニングする工程(b)と、
前記工程(b)の後に、前記半導体基板のうち前記パターニングをした前記素子分離領域の表面に位置する部分を酸化することにより素子分離用の酸化膜を形成する工程(c)と、
前記工程(c)の後に、前記保護膜のうちの少なくとも一部を除去する工程(d)とを備えることを特徴とする固体撮像装置の製造方法。
- [10] 請求項9に記載の固体撮像装置の製造方法であって、

前記工程(a)では、前記保護膜として、パッド絶縁膜と、前記パッド絶縁膜の上方に位置する耐酸化性膜とを形成することを特徴とする固体撮像装置の製造方法。

- [11] 請求項10に記載の固体撮像装置の製造方法であって、
前記工程(a)では、前記パッド絶縁膜と前記耐酸化性膜との間に、酸化性膜を介在させることを特徴とする固体撮像装置の製造方法。
- [12] 請求項9に記載の固体撮像装置の製造方法であって、
前記工程(c)の後に、前記素子分離用の酸化膜のうちの一部をエッチングにより除去することを特徴とする固体撮像装置の製造方法。
- [13] 請求項10に記載の固体撮像装置の製造方法であって、
前記工程(c)では、前記半導体基板の表面にバースビークが形成され、
前記工程(c)の後に、前記バースビークの一部を除去することを特徴とする固体撮像装置の製造方法。
- [14] 請求項9に記載の固体撮像装置の製造方法であって、
前記半導体基板のうち前記素子形成用領域に位置する部分は、n型不純物が含まれており、
前記工程(b)の後で前記工程(c)の前に、前記半導体基板のうち前記パターンニングをした前記素子分離領域の表面に位置する部分にp型のイオンを注入する工程をさらに備えることを特徴とする固体撮像装置の製造方法。
- [15] 請求項9に記載の固体撮像装置の製造方法であって、
前記工程(a)では、前記開口の幅を、前記素子分離領域の幅よりも狭く形成することを特徴とする固体撮像装置の製造方法。
- [16] 請求項9に記載の固体撮像装置の製造方法であって、
前記工程(d)では、前記保護膜を、前記素子分離用の酸化膜の上面よりも深く除去することにより、前記素子分離領域の高さを前記半導体基板の上面よりも高くすることを特徴とする固体撮像装置の製造方法。
- [17] 請求項9に記載の固体撮像装置の製造方法であって、
前記半導体基板のうち前記撮像領域の側方には、前記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、

前記周辺回路領域における素子分離領域は、前記撮像領域における前記素子分離領域と同じ工程で形成されることを特徴とする固体撮像領域の製造方法。

- [18] 請求項17に記載の固体撮像装置の製造方法であって、
前記周辺回路には、N型MOSTランジスタのみを形成するか、PMISTランジスタのみを形成するか、またはCMOSTランジスタを形成することを特徴とする固体撮像装置の製造方法。
- [19] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、
前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、
前記保護膜をマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域に位置する部分を除去して溝を形成する工程(b)と、
前記工程(b)の後に、前記保護膜を除去する工程(c)と、
前記工程(b)の後に、水素を含む雰囲気中で1000度以上1300度以下の温度で熱処理を行う工程(d)と
を備えることを特徴とする固体撮像装置の製造方法。
- [20] 請求項19に記載の固体撮像装置の製造方法であって、
前記工程(d)では、前記熱処理を行うことにより、前記溝の上部が前記半導体基板を構成する半導体材料により覆われて半導体膜が形成され、
前記工程(d)の後に、前記半導体膜に、前記素子形成領域とは異なる導電型の不純物を注入する工程(e)をさらに備えることを特徴とする固体撮像装置の製造方法。
- [21] 請求項19に記載の固体撮像装置の製造方法であって、
前記工程(d)では、前記熱処理を行うことにより、前記溝の上部が前記半導体基板を構成する半導体材料により覆われて半導体膜が形成され、
前記工程(d)の後に、前記半導体膜を酸化する工程(f)をさらに備えることを特徴とする固体撮像装置の製造方法。
- [22] 請求項19に記載の固体撮像装置の製造方法であって、

前記工程(b)の後で前記工程(d)の前に、前記半導体基板のうち前記溝の側面に位置する部分を熱酸化する工程(g)をさらに備えることを特徴とする固体撮像装置の製造方法。

- [23] 請求項19に記載の固体撮像装置の製造方法であって、
前記工程(b)の後で前記工程(d)の前に、前記溝の側面上に絶縁膜を形成する工程(h)をさらに備えることを特徴とする固体撮像装置の製造方法。
- [24] 請求項19に記載の固体撮像装置の製造方法であって、
前記半導体基板のうち前記素子形成用領域に位置する部分には、n型不純物が含まれており、
前記工程(b)の後で前記工程(d)の前に、前記半導体基板のうち前記溝の表面に位置する部分にp型のイオンを注入する工程(i)をさらに備えることを特徴とする固体撮像装置の製造方法。
- [25] 請求項19に記載の固体撮像装置の製造方法であって、
前記半導体基板のうち前記撮像領域の側方には、前記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、
前記周辺回路領域における素子分離用領域は、前記撮像領域における前記素子分離用領域と同じ工程で形成されることを特徴とする固体撮像領域の製造方法。
- [26] 請求項25に記載の固体撮像装置の製造方法であって、
前記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成することを特徴とする固体撮像装置の製造方法。
- [27] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、
前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、
前記保護膜をマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域に位置する部分を除去して、深さが幅の2倍以上である溝を形成す

る工程(b)と、

前記工程(b)の後に、CVD法により、前記溝を埋めるTEOS膜を形成する工程(c)と

を備えることを特徴とする固体撮像装置の製造方法。

[28] 請求項27に記載の固体撮像装置の製造方法であって、

前記工程(b)の後で前記工程(c)の前に、前記半導体基板のうち前記溝の側面に位置する部分を熱酸化する工程(d)をさらに備えることを特徴とする固体撮像装置の製造方法。

[29] 請求項27に記載の固体撮像装置の製造方法であって、

前記工程(b)の後で前記工程(c)の前に、前記溝の側面上に絶縁膜を形成する工程(e)をさらに備えることを特徴とする固体撮像装置の製造方法。

[30] 請求項27に記載の固体撮像装置の製造方法であって、

前記半導体基板のうち前記素子形成用領域に位置する部分は、n型不純物が含まれており、

前記工程(b)の後で前記工程(c)の前に、前記半導体基板のうち前記溝の表面に位置する部分にp型のイオンを注入する工程(f)をさらに備えることを特徴とする固体撮像装置の製造方法。

[31] 請求項27に記載の固体撮像装置の製造方法であって、

前記半導体基板のうち前記撮像領域の側方には、前記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、

前記周辺回路領域における素子分離用領域は、前記撮像領域における前記素子分離用領域と同じ工程で形成されることを特徴とする固体撮像領域の製造方法。

[32] 請求項31に記載の固体撮像装置の製造方法であって、

前記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成することを特徴とする固体撮像装置の製造方法。

[33] 光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に素子分離溝を形成する工程において、前記素子分離溝の壁部をテーパ状に加工することを特徴とする固体撮像装置の製造方法。

- [34] 光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に素子分離溝を形成する工程において、前記素子分離溝の壁面と前記半導体基板の表面との間の角度を 110° 以上で且つ 130° 以下にすることを特徴とする固体撮像装置の製造方法。

- [35] 請求項33または34に記載の固体撮像装置の製造方法であって、

前記素子分離溝を形成する工程よりも前に、前記半導体基板上に第1の絶縁膜及び該第1の絶縁膜と異なる種類の第2の絶縁膜を順次堆積した後、前記第1の絶縁膜及び前記第2の絶縁膜をパターニングする工程を備え、

前記素子分離溝を形成する工程は、パターニングされた前記第1の絶縁膜及び前記第2の絶縁膜をマスクとして前記半導体基板に対してエッチングを行なう工程を含むことを特徴とする固体撮像装置の製造方法。

- [36] 請求項35に記載の固体撮像装置の製造方法であって、

前記半導体基板に対してエッチングを行なう工程において、酸素ガスの流量を塩素ガスの流量の5%以下に設定することを特徴とする固体撮像装置の製造方法。

- [37] 請求項33または34に記載の固体撮像装置の製造方法であって、

前記光電変換部の導電型がn型である場合、前記素子分離溝を形成する工程よりも後に、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分にp型半導体層を形成する工程を備え、

前記光電変換部の導電型がp型である場合、前記素子分離溝を形成する工程よりも後に、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分にn型半導体層を形成する工程を備えていることを特徴とする固体撮像装置の製造方法。

- [38] 請求項33または34に記載の固体撮像装置の製造方法であって、

前記固体撮像装置は、前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、

前記周辺回路領域及び前記撮像領域において同時に素子分離構造を設けることを特徴とする固体撮像装置の製造方法。

[39] 請求項33または34に記載の固体撮像装置の製造方法であって、

前記固体撮像装置は、前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、

前記周辺回路領域及び前記撮像領域において異なる素子分離構造を設けることを特徴とする固体撮像装置の製造方法。

[40] 請求項33または34に記載の固体撮像装置の製造方法であって、

前記周辺回路領域に設けられるトランジスタとしてn型MOSTランジスタのみ又はp型MOSTランジスタのみを用いることを特徴とする固体撮像装置の製造方法。

[41] 請求項33または34に記載の固体撮像装置の製造方法であって、

前記周辺回路領域に設けられるトランジスタとしてCMOSTランジスタを用いることを特徴とする固体撮像装置の製造方法。

[42] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置であって、

前記素子分離用領域には、前記半導体基板の一部に設けられたトレンチと、前記トレンチを埋める埋め込み用膜とが設けられ、

前記トレンチは、前記半導体基板のうち前記素子形成用領域の上を覆い前記半導体基板のうち前記素子分離用領域の上を露出する開口を有する保護膜と、前記保護膜における前記開口の側面上に設けられたサイドウォールとをマスクとして、前記半導体基板の一部を除去することにより形成されたことを特徴とする固体撮像装置。

[43] 請求項42に記載の固体撮像装置であって、

前記半導体基板における前記素子形成用領域には、n型の不純物が含まれており、

前記半導体基板の前記素子分離用領域において、前記トレンチの表面部に位置

する部分には、p型の不純物が含まれていることを特徴とする固体撮像装置。

- [44] 請求項42に記載の固体撮像装置であって、
前記トレンチの表面上にはシリコン酸化膜が設けられている、固体撮像装置。
- [45] 請求項42に記載の固体撮像装置であって、
前記埋め込み用膜の高さは、前記半導体基板の上面の高さよりも高いことを特徴とする固体撮像装置。
- [46] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成領域と、前記複数の素子形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、
前記半導体基板のうち前記素子分離領域に位置する部分はパターニングされ、
前記半導体基板のうち前記パターニングした前記素子分離領域の表面に露出する部分を酸化することにより得られ、前記パターニングした前記素子分離領域を埋める素子分離用の酸化膜を備えることを特徴とする固体撮像装置。
- [47] 請求項46に記載の固体撮像装置であって、
前記半導体基板における前記素子形成用領域には、n型の不純物が含まれており、
前記半導体基板の前記素子分離用領域において、前記半導体基板のうち前記凹部の表面部に位置する部分には、p型の不純物が含まれていることを特徴とする固体撮像装置。
- [48] 請求項46に記載の固体撮像装置であって、
前記素子分離用の酸化膜の高さは、前記半導体基板の上面の高さよりも高いことを特徴とする固体撮像装置。
- [49] 請求項46に記載の固体撮像装置を用いることを特徴とするカメラ。
- [50] 半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成領域と、前記複数の素子形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、
前記素子分離用領域には、前記半導体基板の上部に位置する溝と、前記溝の少なくとも上部を覆い、前記複数の素子形成用領域の間を電氣的に絶縁する素子分

離用膜と、前記溝内の一部に設けられた空洞とが設けられていることを特徴とする固体撮像装置。

- [51] 請求項50に記載の固体撮像装置であって、
前記素子分離用膜は、前記空洞の上を覆い、p型不純物を含む膜であることを特徴とする固体撮像装置。
- [52] 請求項50に記載の固体撮像装置であって、
前記素子分離用膜は、前記空洞の上を覆うシリコン酸化膜であることを特徴とする固体撮像装置。
- [53] 請求項50に記載の固体撮像装置であって、
前記素子分離用膜は、前記溝を埋めるTEOS膜であって、
前記空洞は、前記TEOS膜内の一部に設けられていることを特徴とする固体撮像装置。
- [54] 請求項50に記載の固体撮像装置を用いることを特徴とするカメラ。
- [55] 光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、
前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に設けられた素子分離溝の壁部がテーパ状に加工されていることを特徴とする固体撮像装置。
- [56] 光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、
前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に設けられた素子分離溝の壁面が前記半導体基板の表面に対して110°以上で且つ130°以下の角度を持つことを特徴とする固体撮像装置。
- [57] 請求項55または56に記載の固体撮像装置であって、
前記光電変換部の導電型がn型である場合、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分にはp型半導体層が設けられており、
前記光電変換部の導電型がp型である場合、前記光電変換部となる前記半導体基

板のうち前記素子分離溝と接する領域の少なくとも一部分にはn型半導体層が設けられていることを特徴とする固体撮像装置。

- [58] 請求項55または56に記載の固体撮像装置であって、
前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、
前記周辺回路領域及び前記撮像領域において同じ素子分離構造が用いられていることを特徴とする固体撮像装置。
- [59] 請求項55または56に記載の固体撮像装置であって、
前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、
前記周辺回路領域及び前記撮像領域において異なる素子分離構造が用いられていることを特徴とする固体撮像装置。
- [60] 請求項58または59に記載の固体撮像装置であって、
前記周辺回路領域に設けられるトランジスタはn型MOSTランジスタのみであるか又はp型MOSTランジスタのみであることを特徴とする請求項4又は5に記載の固体撮像装置。
- [61] 請求項58または59に記載の固体撮像装置であって、
前記周辺回路領域に設けられるトランジスタはCMOSTランジスタであることを特徴とする請求項4又は5に記載の固体撮像装置。
- [62] 請求項55または56に記載の固体撮像装置を用いることを特徴とするカメラ。

補正書の請求の範囲

[2005年5月17日(17.05.05)国際事務局受理 : 出願当初の請求の範囲
1-21は補正された; 出願当初の請求の範囲22-62は取り下げられた。(7頁)]

[1] (補正後)

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、

前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、

前記保護膜をマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域に位置する部分を除去して溝を形成する工程(b)と、

前記工程(b)の後に、前記保護膜を除去する工程(c)と、

前記工程(b)の後に、水素を含む雰囲気中で1000度以上1300度以下の温度で熱処理を行う工程(d)と

を備えることを特徴とする固体撮像装置の製造方法。

[2] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、

前記工程(d)では、前記熱処理を行うことにより、前記溝の上部が前記半導体基板を構成する半導体材料により覆われて半導体膜が形成され、

前記工程(d)の後に、前記半導体膜に、前記素子形成領域とは異なる導電型の不純物を注入する工程(e)をさらに備えることを特徴とする固体撮像装置の製造方法。

[3] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、

前記工程(d)では、前記熱処理を行うことにより、前記溝の上部が前記半導体基板を構成する半導体材料により覆われて半導体膜が形成され、

前記工程(d)の後に、前記半導体膜を酸化する工程(f)をさらに備えることを特徴とする固体撮像装置の製造方法。

[4] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、

前記工程(b)の後で前記工程(d)の前に、前記半導体基板のうち前記溝の側面に

位置する部分を熱酸化する工程(g)をさらに備えることを特徴とする固体撮像装置の製造方法。

[5] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、
前記工程(b)の後で前記工程(d)の前に、前記溝の側面上に絶縁膜を形成する工程(h)をさらに備えることを特徴とする固体撮像装置の製造方法。

[6] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、
前記半導体基板のうち前記撮像領域の側方には、前記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、
前記周辺回路領域における素子分離用領域は、前記撮像領域における前記素子分離用領域と同じ工程で形成されることを特徴とする固体撮像領域の製造方法。

[7] (補正後)

請求項6に記載の固体撮像装置の製造方法であって、
前記周辺回路には、N型MOSTランジスタのみを形成するか、P型MOSTランジスタのみを形成するか、またはCMOSTランジスタを形成することを特徴とする固体撮像装置の製造方法。

[8] (補正後)

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、
前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域と前記素子分離用領域の側方に位置する領域とを露出する開口を有する保護膜を形成する工程(a)と、
前記保護膜における前記開口の側面上に、サイドウォールを形成する工程(b)と、
前記保護膜および前記サイドウォールをマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域にトレンチを形成する工程(c)と、
前記トレンチを埋め込み用膜で埋めることにより、素子分離を形成する工程(d)と

を備えることを特徴とする固体撮像装置の製造方法。

[9] (補正後)

請求項8に記載の固体撮像装置の製造方法であって、

前記工程(c)の後で前記工程(d)の前に、前記半導体基板のうち前記トレンチの表面部に位置する領域を酸化する工程をさらに備えることを特徴とする固体撮像装置の製造方法。

[10] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、

前記工程(a)では、前記開口の幅を、前記素子分離領域の幅よりも狭く形成することを特徴とする固体撮像装置の製造方法。

[11] (補正後)

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、

前記半導体基板の上に、前記半導体基板のうち前記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、

前記保護膜をマスクとしてエッチングを行うことにより、前記半導体基板のうち前記素子分離用領域に位置する部分を除去して、深さが幅の2倍以上である溝を形成する工程(b)と、

前記工程(b)の後に、CVD法により、前記溝を埋めるTEOS膜を形成する工程(c)と

を備えることを特徴とする固体撮像装置の製造方法。

[12] (補正後)

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に素子分離溝を形成する工程において、前記素子分離溝の壁部をテーパ状に加工することを特徴とする固体撮像装置の製造方法。

[13] (補正後)

請求項12に記載の固体撮像装置の製造方法であって、

前記素子分離溝を形成する工程よりも前に、前記半導体基板上に第1の絶縁膜及び該第1の絶縁膜と異なる種類の第2の絶縁膜を順次堆積した後、前記第1の絶縁膜及び前記第2の絶縁膜をパターニングする工程を備え、

前記素子分離溝を形成する工程は、パターニングされた前記第1の絶縁膜及び前記第2の絶縁膜をマスクとして前記半導体基板に対してエッチングを行なう工程を含むことを特徴とする固体撮像装置の製造方法。

[14] (補正後)

請求項13に記載の固体撮像装置の製造方法であって、

前記半導体基板に対してエッチングを行う工程において、酸素ガスの流量を塩素ガスの流量の5%以下に設定することを特徴とする固体撮像装置の製造方法。

[15] (補正後)

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成用領域と、前記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置であって、

前記素子分離用領域には、前記半導体基板の一部に設けられたトレンチと、前記トレンチを埋める埋め込み用膜とが設けられ、

前記トレンチは、前記半導体基板のうち前記素子形成用領域の上を覆い前記半導体基板のうち前記素子分離用領域の上を露出する開口を有する保護膜と、前記保護膜における前記開口の側面上に設けられたサイドウォールとをマスクとして、前記半導体基板の一部を除去することにより形成されたことを特徴とする固体撮像装置。

[16] (補正後)

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、前記単位画素には、複数の素子形成領域と、前記複数の素子形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、

前記素子分離用領域には、前記半導体基板の上部に位置する溝と、前記溝の少なくとも上部を覆い、前記複数の素子形成用領域の間を電氣的に絶縁する素子分

離用膜と、前記溝内の一部に設けられた空洞とが設けられていることを特徴とする固体撮像装置。

[17] (補正後)

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に設けられた素子分離溝の壁部がテーパ状に加工されていることを特徴とする固体撮像装置。

[18] (補正後)

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に設けられた素子分離溝の壁面が前記半導体基板の表面に対して 110° 以上で且つ 130° 以下の角度を持つことを特徴とする固体撮像装置。

[19] (補正後)

請求項8に記載の固体撮像装置の製造方法であって、

前記半導体基板のうち前記素子形成用領域には、n型不純物が含まれており、

前記工程(c)の後で前記工程(d)の前に、前記半導体基板のうち前記トレンチの表面部に位置する部分にp型のイオンを注入する工程をさらに備えることを特徴とする固体撮像装置の製造方法。

[20] (補正後)

請求項1に記載の固体撮像装置の製造方法であって、

前記半導体基板のうち前記素子形成用領域に位置する部分には、n型不純物が含まれており、

前記工程(b)の後で前記工程(d)の前に、前記半導体基板のうち前記溝の表面に位置する部分にp型のイオンを注入する工程(i)をさらに備えることを特徴とする固体撮像装置の製造方法。

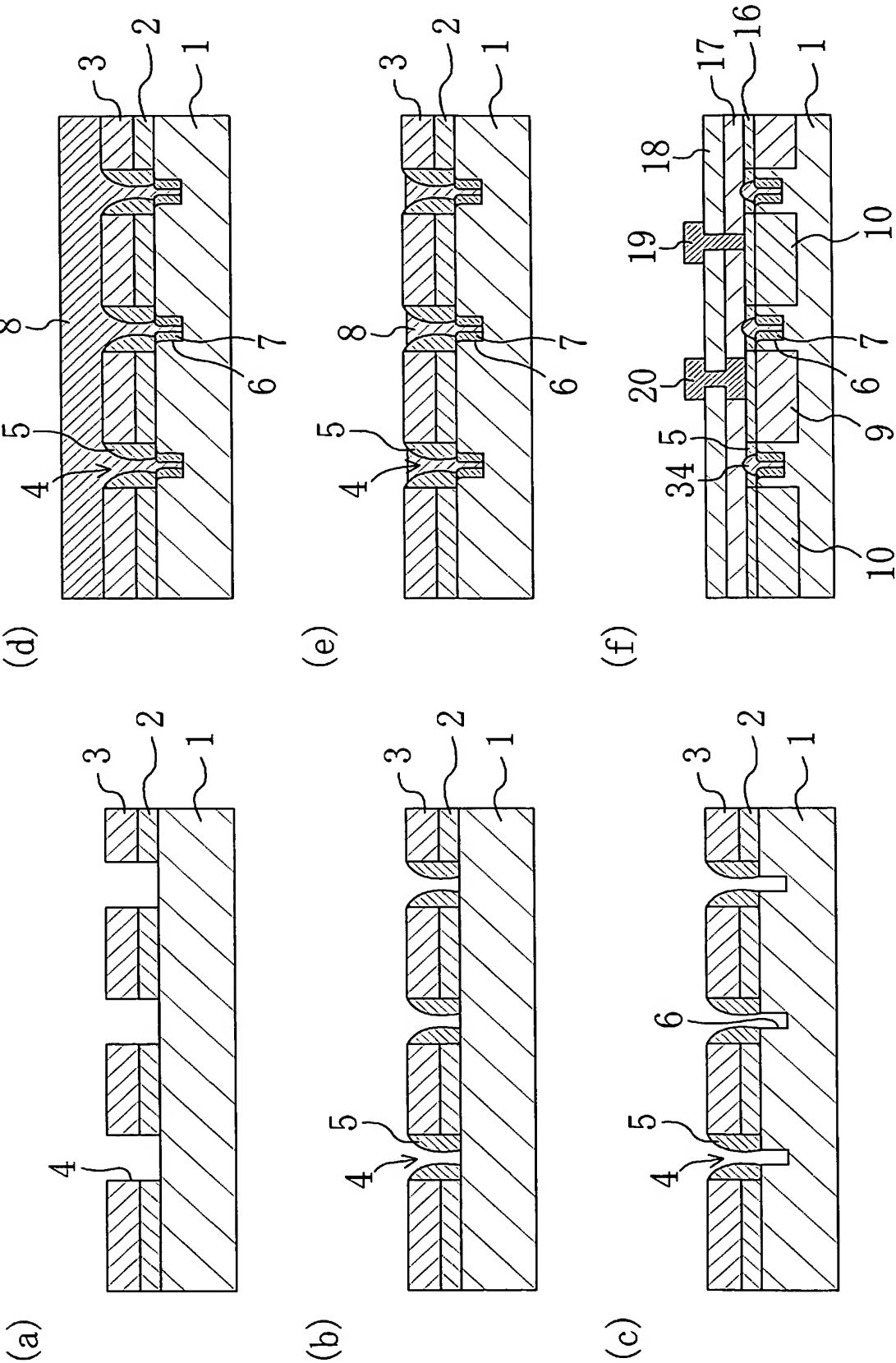
[21] (補正後)

請求項15～18に記載の固体撮像装置を用いることを特徴とするカメラ。

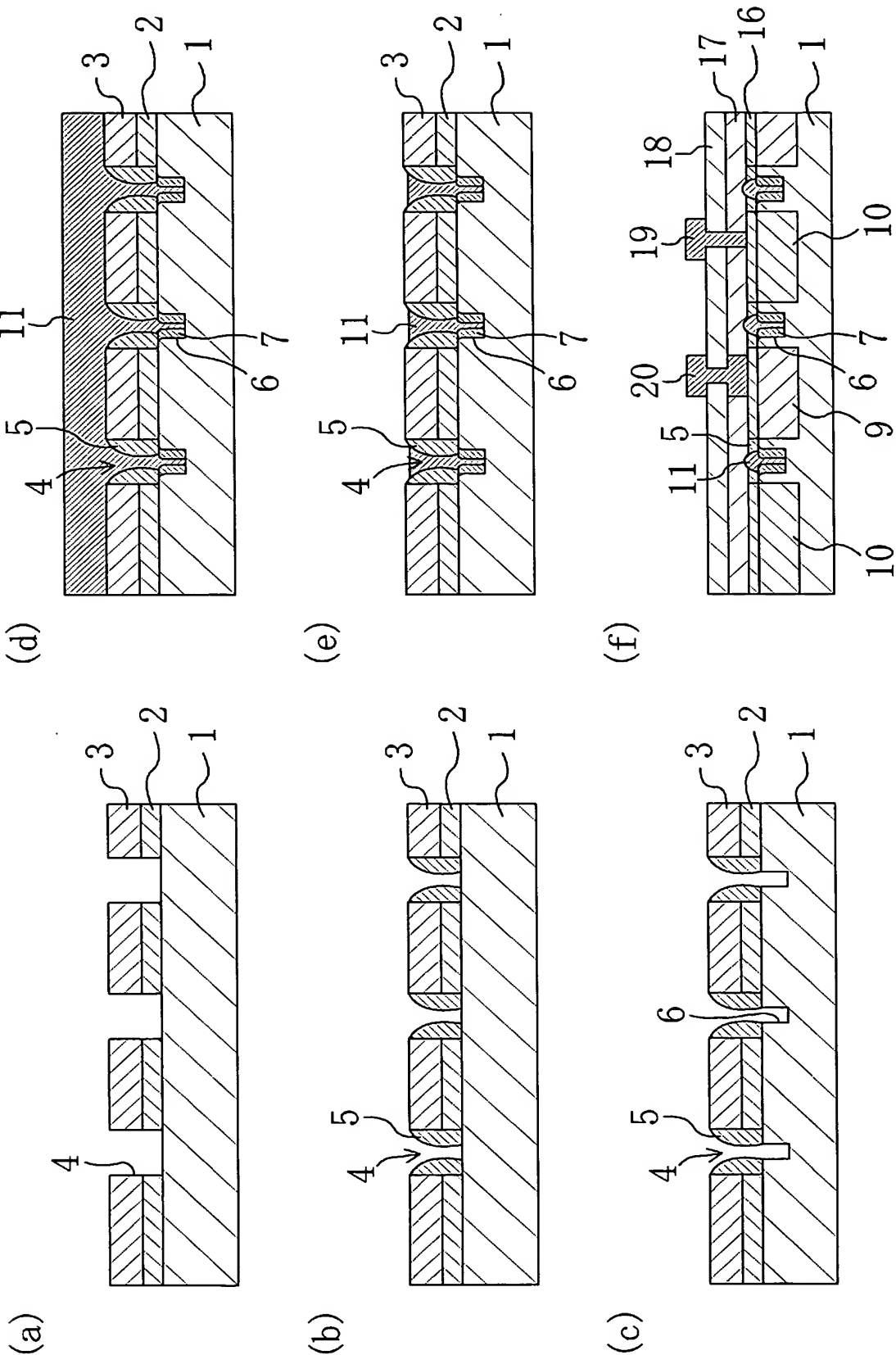
- [22] (削除)
- [23] (削除)
- [24] (削除)
- [25] (削除)
- [26] (削除)
- [27] (削除)
- [28] (削除)
- [29] (削除)
- [30] (削除)
- [31] (削除)
- [32] (削除)
- [33] (削除)
- [34] (削除)
- [35] (削除)
- [36] (削除)
- [37] (削除)
- [38] (削除)
- [39] (削除)
- [40] (削除)
- [41] (削除)
- [42] (削除)
- [43] (削除)
- [44] (削除)
- [45] (削除)
- [46] (削除)
- [47] (削除)
- [48] (削除)

- [49] (削除)
- [50] (削除)
- [51] (削除)
- [52] (削除)
- [53] (削除)
- [54] (削除)
- [55] (削除)
- [56] (削除)
- [57] (削除)
- [58] (削除)
- [59] (削除)
- [60] (削除)
- [61] (削除)
- [62] (削除)

[図1]

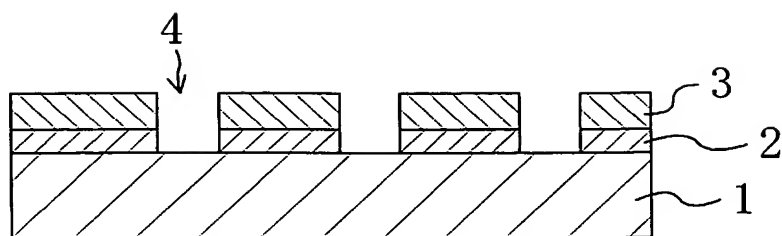


[図2]

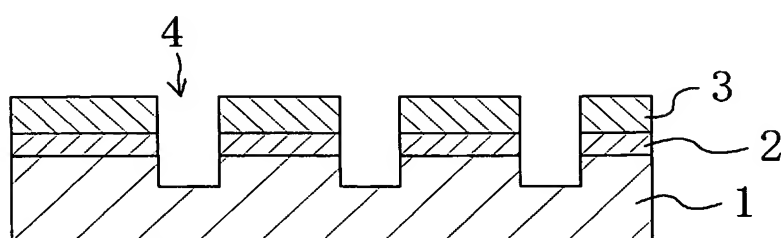


[図3]

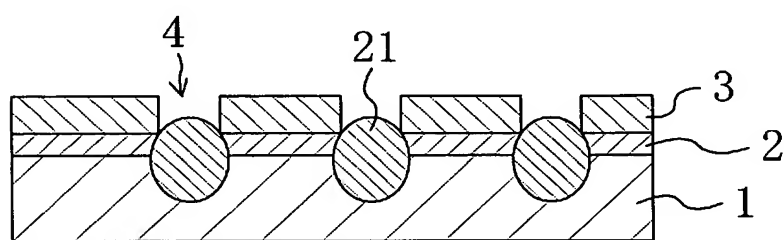
(a)



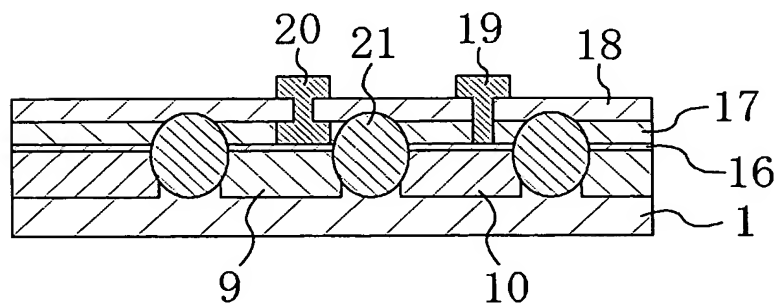
(b)



(c)

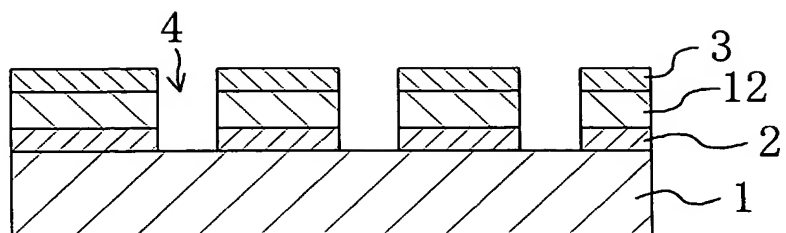


(d)

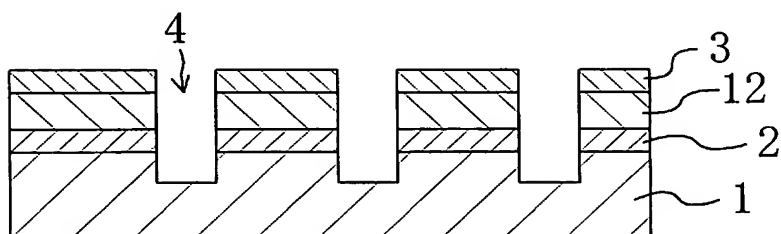


[図4]

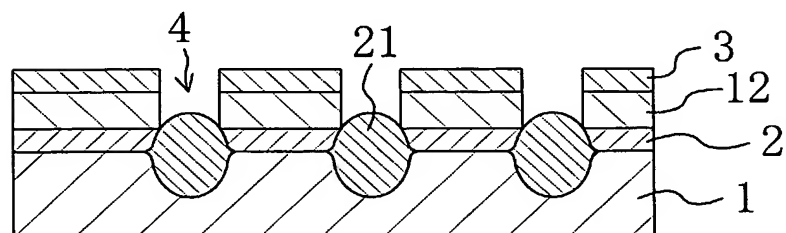
(a)



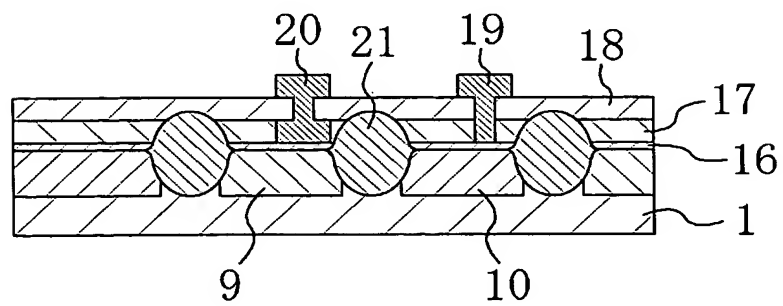
(b)



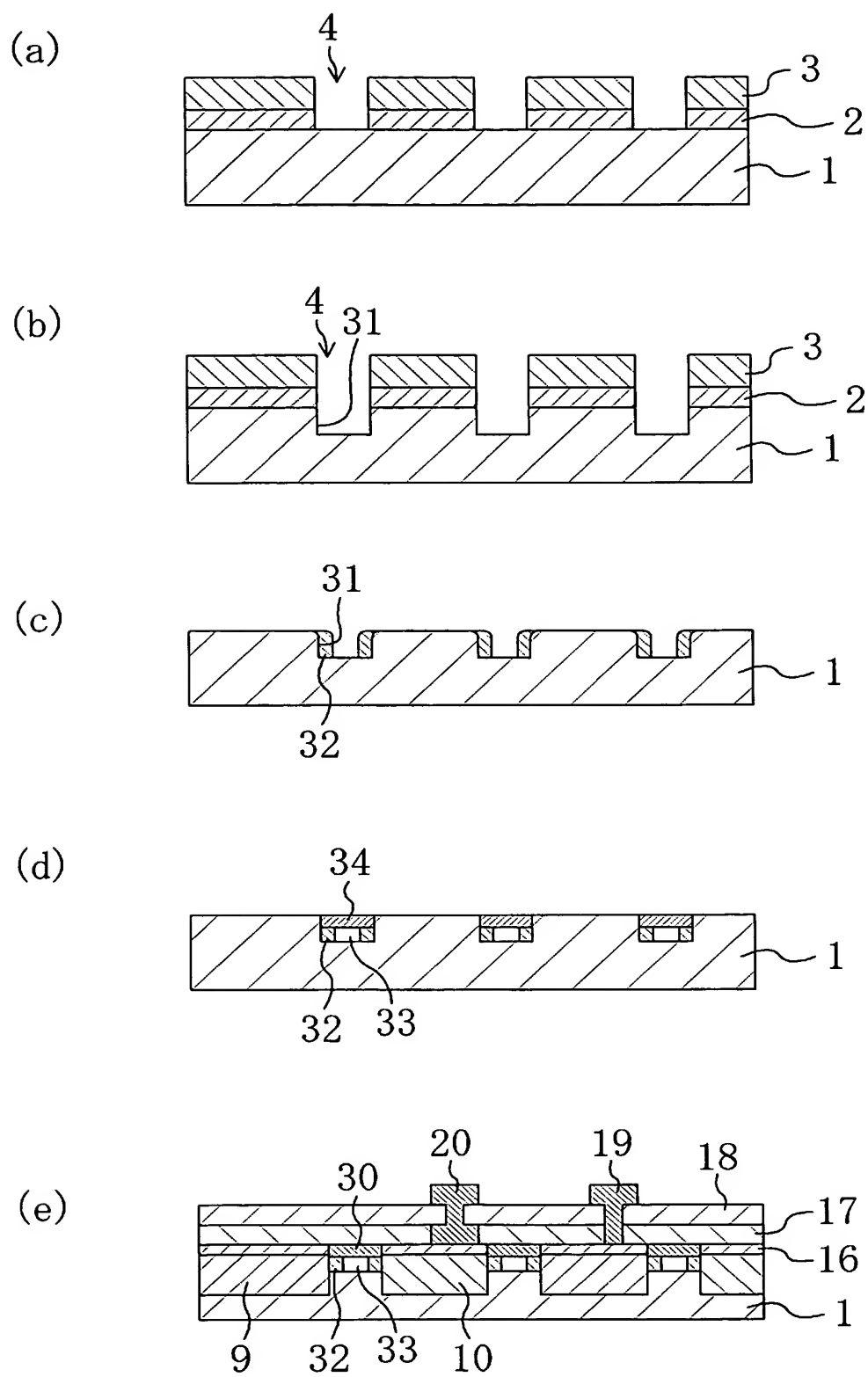
(c)



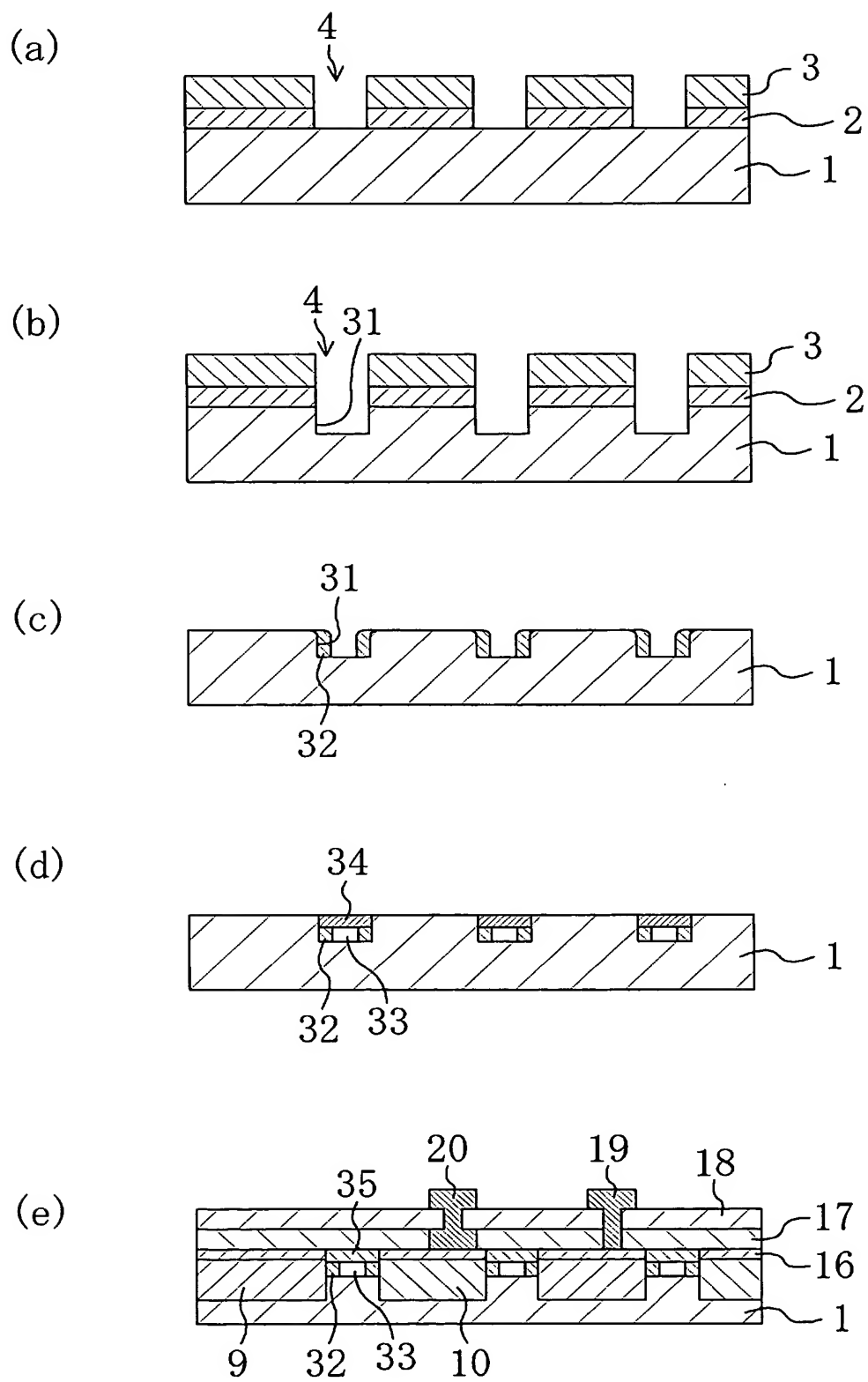
(d)



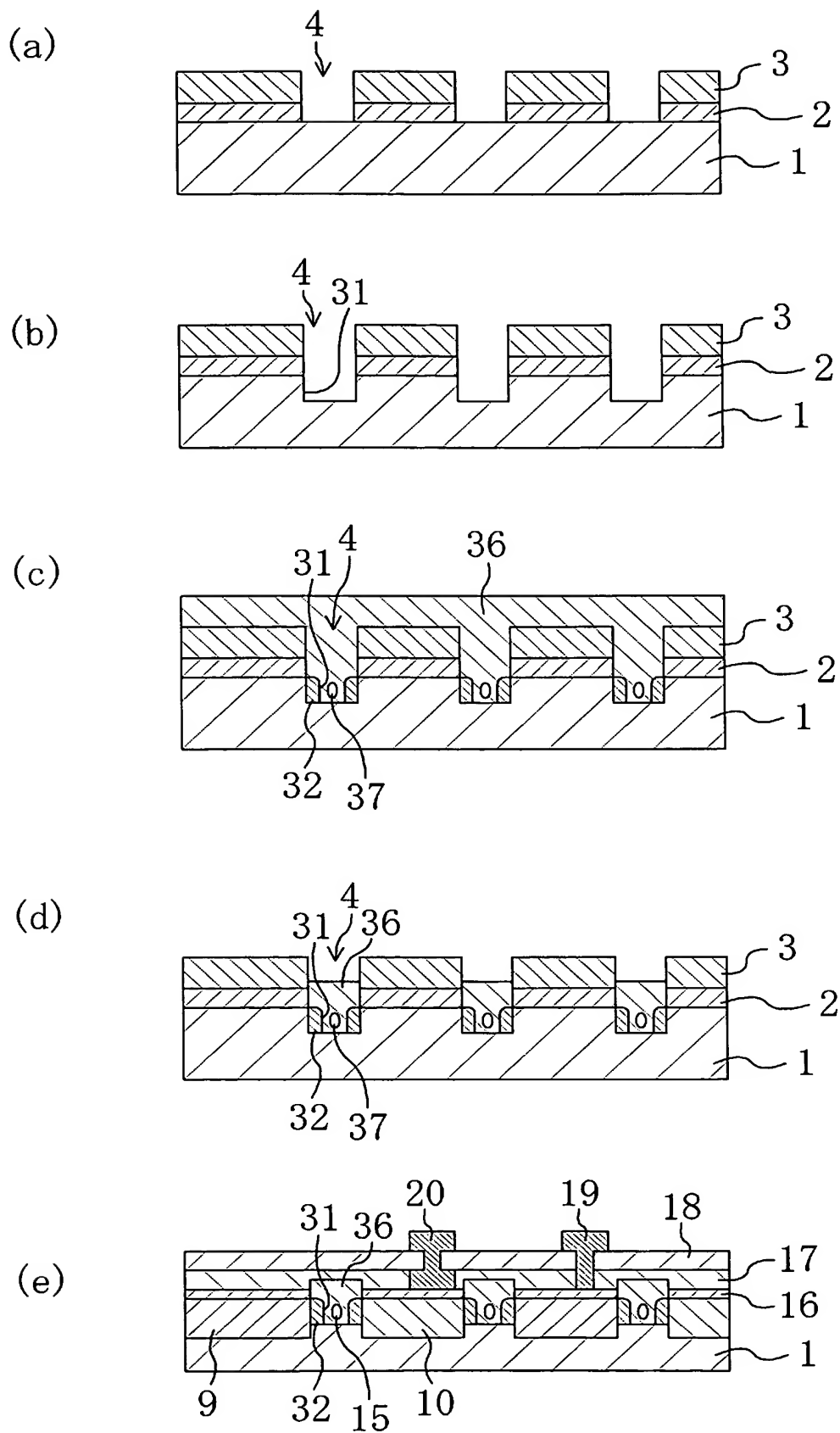
[図5]



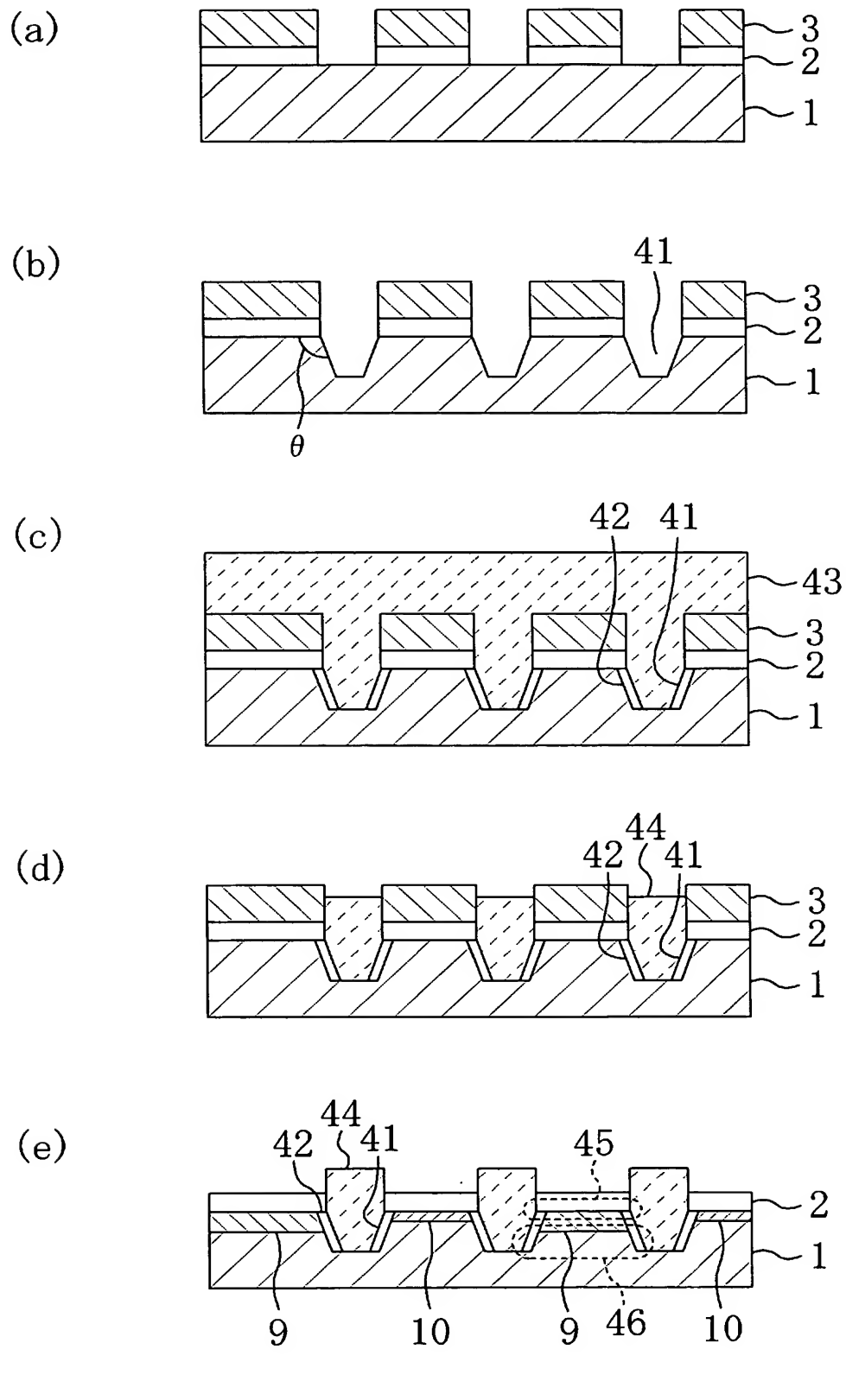
[図6]



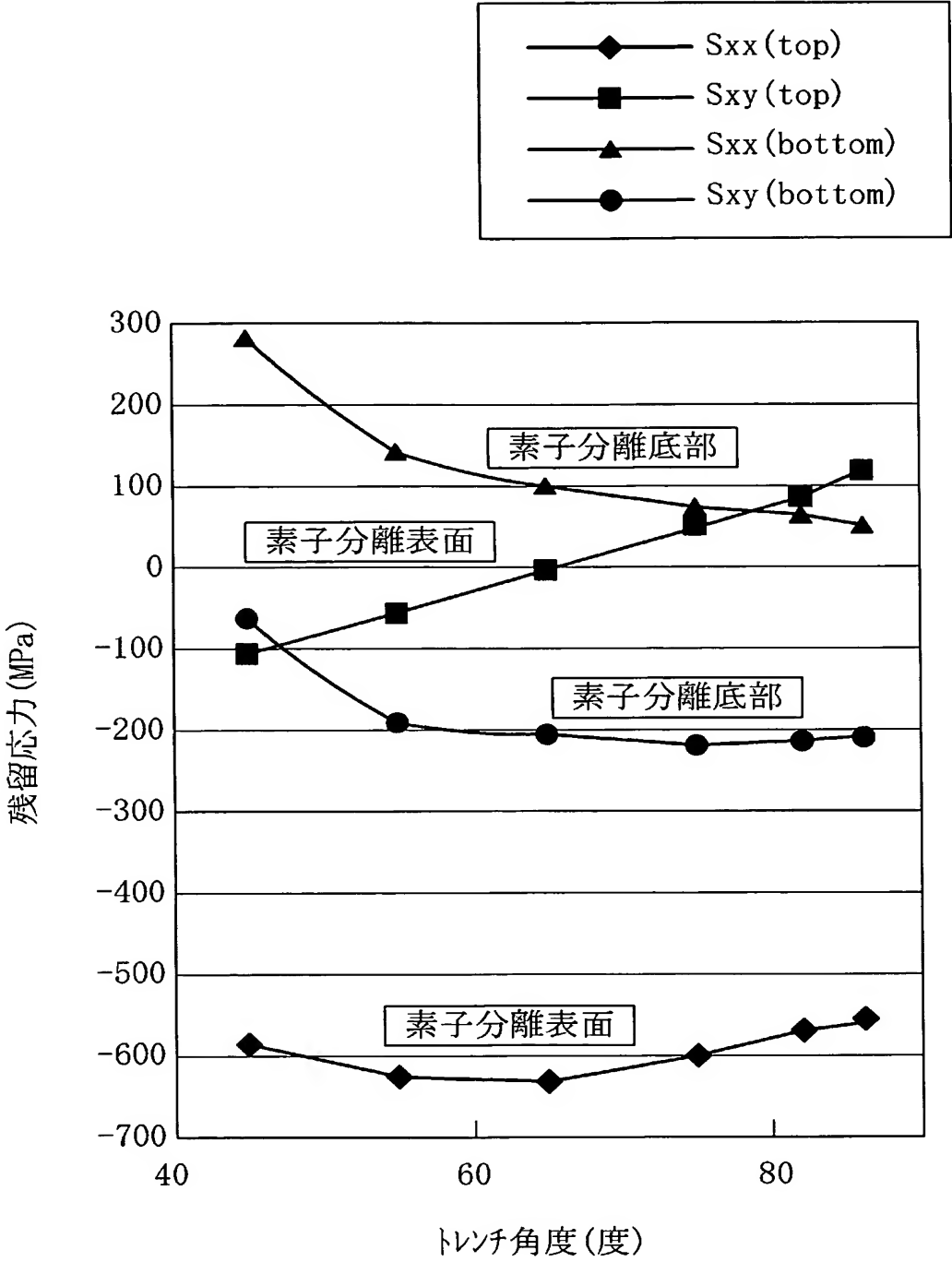
[図7]



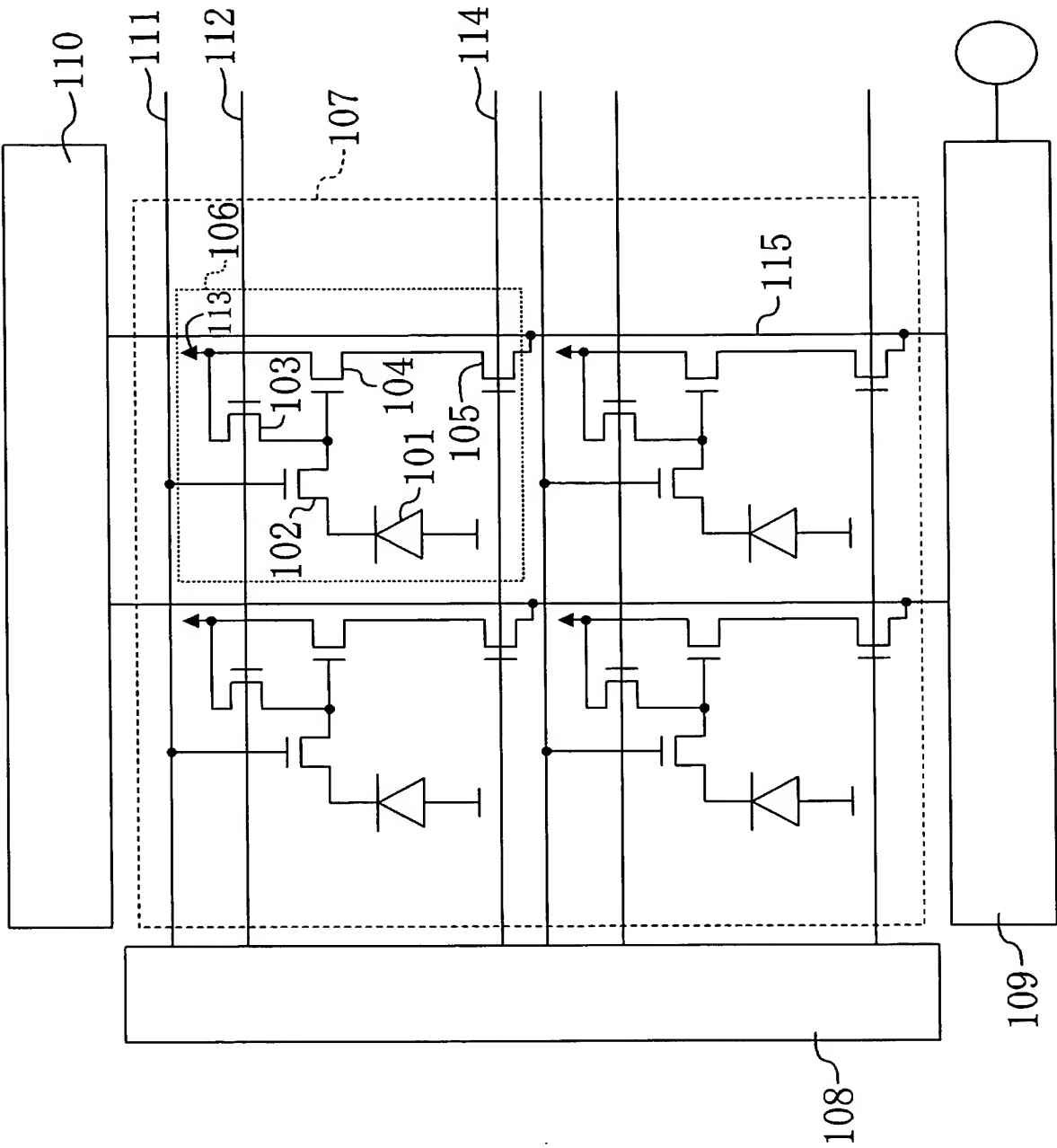
[図8]



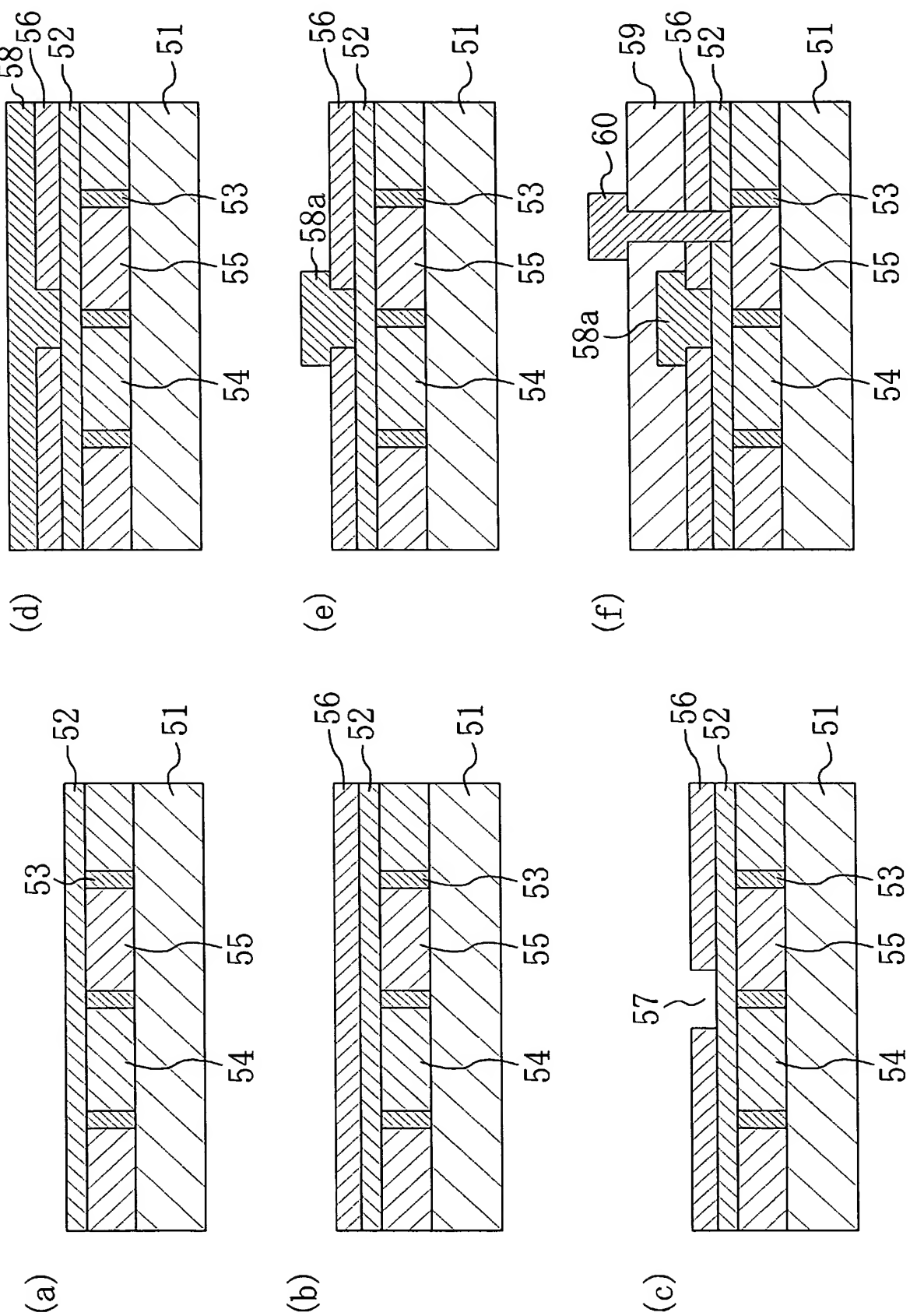
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000129

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/146, H04N5/335, H01L21/76

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/146, H04N5/335, H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-142674 A (Toshiba Corp.), 16 May, 2003 (16.05.03), Full text; all drawings & US 2003/127667 A1	1-18, 27-50, 52-62 19-26, 51
Y	JP 2002-100671 A (Hitachi, Ltd.), 05 April, 2002 (05.04.02), Full text; all drawings (Family: none)	1-8, 28, 29, 42-45
Y	JP 11-163325 A (Matsushita Electronics Corp.), 18 June, 1999 (18.06.99), Full text; all drawings (Family: none)	2, 14, 30, 37, 43, 47, 57

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 February, 2005 (04.02.05)Date of mailing of the international search report
22 February, 2005 (22.02.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000129

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-197889 A (Sony Corp.), 11 July, 2003 (11.07.03), Full text; all drawings (Family: none)	7, 8, 17, 18, 31, 32, 38-41, 58, 61
Y	JP 11-67752 A (Mitsubishi Electric Corp.), 09 March, 1999 (09.03.99), Full text; all drawings (Family: none)	9-18, 46-49
Y	JP 5-160118 A (Oki Electric Industry Co., Ltd.), 25 June, 1993 (25.06.93), Full text; all drawings (Family: none)	12, 13
Y	JP 2002-43413 A (Toshiba Corp.), 08 February, 2002 (08.02.02), Full text; all drawings (Family: none)	27-32, 50, 52-54
Y	JP 2001-203264 A (NEC Corp.), 27 July, 2001 (27.07.01), Full text; all drawings & US 2001/9809 A1	33-41, 55-62
Y	JP 2003-258229 A (Canon Inc.), 12 September, 2003 (12.09.03), Full text; all drawings & US 2003/160295 A1	33-41, 55-62
Y	JP 8-213382 A (Mitsubishi Electric Corp.), 20 August, 1996 (20.08.96), Full text; all drawings (Family: none)	50, 52, 54

BEST AVAILABLE COPY

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/146, H04N5/335, H01L21/76

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/146, H04N5/335, H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-142674 A (株式会社東芝) 2003.05.16, 全文, 全図 & US 2003/127667 A1	1-18, 27-50, 52-62
A		19-26, 51
Y	J P 2002-100671 A (株式会社日立製作所) 2002.04.05, 全文, 全図 (ファミリーなし)	1-8, 28, 29, 42-45

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

04.02.2005

国際調査報告の発送日

22.02.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

4 L

3035

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-163325 A (松下電子工業株式会社) 1999. 06. 18, 全文, 全図 (ファミリーなし)	2, 14, 30, 37, 43, 47, 57
Y	JP 2003-197889 A (ソニー株式会社) 2003. 07. 11, 全文, 全図 (ファミリーなし)	7, 8, 17, 18, 31, 32, 38-41, 58, 61
Y	JP 11-67752 A (三菱電機株式会社) 1999. 03. 09, 全文, 全図 (ファミリーなし)	9-18, 46-49
Y	JP 5-160118 A (沖電気工業株式会社) 1993. 06. 25, 全文, 全図 (ファミリーなし)	12, 13
Y	JP 2002-43413 A (株式会社東芝) 2002. 02. 08, 全文, 全図 (ファミリーなし)	27-32, 50, 52-54
Y	JP 2001-203264 A (日本電気株式会社) 2001. 07. 27, 全文, 全図 &US 2001/9809 A1	33-41, 55-62
Y	JP 2003-258229 A (キヤノン株式会社) 2003. 09. 12, 全文, 全図 &US 2003/160295 A1	33-41, 55-62
Y	JP 8-213382 A (三菱電機株式会社) 1996. 08. 20, 全文, 全図 (ファミリーなし)	50, 52, 54